



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :  
Yoshihiko KAMATA :  
Serial No.: 10/635,007 :  
Filed: August 6, 2003 : Attorney Docket No. OKI.560  
For: SEMICONDUCTOR MEMORY DEVICE HAVING A TEST CIRCUIT

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Japanese application:

Appln. No. 2002-237522                    filed August 16, 2002-

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: December 29, 2003

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 8月16日

出願番号

Application Number: 特願2002-237522

[ST.10/C]:

[JP2002-237522]

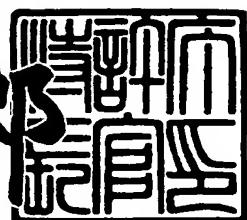
出願人

Applicant(s): 沖電気工業株式会社

2003年 1月14日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3105319

【書類名】 特許願  
【整理番号】 TA000175  
【提出日】 平成14年 8月16日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 29/00  
H01L 27/10

## 【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 鎌田 義彦

## 【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

## 【代理人】

【識別番号】 100079049

【弁理士】

【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

## 【選任した代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

## 【選任した代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9714945

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置のテスト方法及び半導体記憶装置

【特許請求の範囲】

【請求項1】 各々に固有のアドレスが予め割当てられた複数のメモリセルと、前記メモリセルに相当し、前記メモリセルと置換え可能な冗長セルとを備え、所定のメモリセルを前記冗長セルと置換える冗長救済機能モードを備えた半導体記憶装置をテストする半導体記憶装置のテスト方法であって、

前記複数のメモリセルの固有アドレスで定まるアドレス空間に対して近傍のアドレスを前記冗長セルに割当て、

前記複数のメモリセルの前記アドレス空間に前記冗長セルのアドレスを含めたアドレス範囲について、前記メモリセル及び前記冗長セルにアクセス可能として

前記複数のメモリセル及び前記冗長セルをテストする、

ことを特徴とする半導体記憶装置のテスト方法。

【請求項2】 各々に固有のアドレスが予め割当てられ、対応するアドレスを示す信号の入力によりアクセスされる複数のメモリセルと、

前記メモリセルに相当し、前記メモリセルと置換え可能な冗長セルと、

前記複数のメモリセルのうちの所定のメモリセルを前記冗長セルと置換えてアクセスするように制御する冗長救済制御手段と、

テストモードを示す信号が入力された場合に、前記冗長救済制御手段の制御をキャンセルすると共に、前記複数のメモリセルの固有アドレスで定まるアドレス空間に対して近傍のアドレスを前記冗長セルに割当て、前記複数のメモリセルの前記アドレス空間に前記冗長セルのアドレスを含めたアドレス範囲について、前記メモリセル及び前記冗長セルにアクセス可能に制御するテストモード制御手段と、

を有することを特徴とする半導体記憶装置。

【請求項3】 各々に固有のアドレスが予め割当てられた複数のメモリセルと、前記メモリセルに相当し、前記メモリセルと置換え可能な冗長セルとを備え、所定のメモリセルを前記冗長セルと置換える冗長救済機能モードを備えた半導

体記憶装置をテストする半導体記憶装置のテスト方法であって、

前記複数のメモリセルにアクセスするための第1のポートと、前記冗長セルにアクセスするための第2のポートとを予め設けておき、

冗長救済機能モード時には、前記メモリセル及び冗長セルに対して、前記第1のポートによりアクセス可能に設定し、

テストモード時は、前記第1のポートから前記メモリセルにアクセス可能とし、且つ前記第2のポートから前記冗長セルにアクセス可能として、前記複数のメモリセル及び前記冗長セルをテストする、

ことを特徴とする半導体記憶装置のテスト方法。

【請求項4】 各々に固有のアドレスが予め割当てられ、対応するアドレスを示す信号の入力によりアクセスされる複数のメモリセルと、

前記メモリセルに相当し、前記メモリセルと置換え可能な冗長セルと、

前記複数のメモリセルにアクセスするための第1のポートと、

前記冗長セルにアクセスするための第2のポートと、

前記複数のメモリセルのうちの所定のメモリセルを前記冗長セルに置換えて、前記第1のポートにより前記メモリセル及び冗長セルに対してアクセス可能に制御する冗長救済制御手段と、

テストモードを示す信号が入力された場合に、前記冗長救済制御手段の制御をキャンセルすると共に、前記第1のポートから前記メモリセルにアクセス可能とし、且つ前記第2のポートから前記冗長セルにアクセス可能に制御するテストモード制御手段と、

を有することを特徴とする半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体記憶装置のテスト方法及び半導体記憶装置に係わり、特に、各々に固有のアドレスが予め割当てられた複数のメモリセルと、前記メモリセルに相当し、前記メモリセルと置換え可能な冗長セルとを備え、所定のメモリセルを前記冗長セルと置換える冗長救済機能モードを備えた半導体記憶装置のテスト

方法、及びこの方法を適用可能な半導体記憶装置に関する。

### 【0002】

#### 【従来の技術】

半導体記憶装置は、多数のメモリセル（所謂本セル）が二次元配列されたメモリアレイを備えており、このメモリアレイ内に1つでも不良のメモリセル（以下、不良セル）があると、該装置は不良品となってしまう。このため、一般に、半導体記憶装置には、予備のメモリセル（所謂冗長セル）が複数配置された冗長メモリが予め設けられており、製造段階で発生した不良セルを冗長セルに置換して、製造歩留まりの向上を図っている（所謂冗長救済）。この置換は、メモリセル側の不良セルに対応するワード線やビット線が選択される際に、代わりに、冗長メモリ側のワード線やビット線を選択することで、ロウ（行）やカラム（列）単位で行われる。なお、以下では、メモリセル側のワード線の代わりに冗長メモリ側のワード線を選択することをロウ置換、メモリセル側のビット線の代わりに冗長メモリ側のビット線を選択することをカラム置換と称す。

### 【0003】

図11に、冗長救済機能を備えた半導体記憶装置の一般的な構成を示す。なお、図11では、説明の簡便化のために、ロウ置換に係わる部分のみ詳細に示している。図11に示すように、半導体記憶装置100は、多数のメモリセル（本セル）が二次元マトリクス状に配置されたメモリアレイ14、指定されたアドレスに対応するメモリセルのロウ（行）をメモリアレイ14から選択するためのロウデコーダ16、及び外部から入力されたアドレス信号に基づいてアクセスするメモリセルのアドレスを指定するアドレスバッファ20と共に、ロウ置換のための冗長救済機能として、不良セルが含まれるロウ（行）と置換えるための複数のメモリセル（冗長セル）が配置された予備メモリとしてのロウ冗長メモリ30、ロウ冗長メモリ30からメモリアレイ14内の不良セルが含まれる本セルのロウと置換するための冗長セルのロウを選択するための冗長ロウデコーダ34、及びメモリセルの選択対象をメモリアレイ14とロウ冗長メモリ30とで切換えるための冗長アドレス判定回路38を備えている。

### 【0004】

メモリアレイ14内の各メモリセルには、各々のワード線及びビット線に対応してロウアドレス及びカラムアドレスにより固有のアドレスが予め割当てられている。

#### 【0005】

ロウデコーダ16は、ワード線を活性化するためにメモリアレイ14の所定数のワード線毎に設けられた複数のワード線ドライバ60、アドレスバッファ20により指定されたアドレスに基づいて、駆動するワード線ドライバ60及びワード線ドライバ60により活性化するワード線を指定するロウプリデコーダ62、各ワード線ドライバ60に対して設けられたAND回路64、及び全てのAND回路64の出力を一括してL（Lowレベル）にするためのNOR回路66を備えている。

#### 【0006】

なお、図11では、メモリアレイ14が256行のメモリセルからなり、すなわちメモリアレイ14内に256本のワード線が設けられており、このメモリアレイ14内の16本のワード線を1組として、各組に1つずつ計16個のワード線ドライバ60を設けた例を示している。したがって、デバイスのロウアドレス空間（メモリアレイ14の本セルのロウ方向のアドレス）は、00h～FFh（末尾のhは16進数であることを示す）となる。

#### 【0007】

また、図11では、16本のワード線が設けられた、すなわち16行のメモリセルからなるロウ冗長メモリ30（以下、互いを区別する場合はロウ冗長メモリ30A、30Bと称す）を2つ設けた例を示しており、冗長ロウデコーダ34は、各ロウ冗長メモリ30に対して1つ、計2つの冗長ワード線ドライバ68（以下、互いを区別する場合は冗長ワード線ドライバ68A、68Bと称す）を備えている。

#### 【0008】

アドレスバッファ20には、外部から入力されたアドレス信号が入力されるようになっている。アドレスバッファ20は、冗長アドレス判定回路38及びロウプリデコーダ62と接続されており、外部から入力されたアドレス信号は、アド

レスバッファ20を介して、冗長アドレス判定回路38及びロウプリデコーダ62に入力される。

#### 【0009】

冗長アドレス判定回路38は、テストによりメモリアレイ14内に不良セルが検出された場合に、該不良セルをロウ又はカラム単位で、ロウ冗長メモリ30A又はカラム冗長メモリ30B内の冗長セルと置換するためのものであり、特に、ロウ置換のためには、アドレスバッファ20から入力されたアドレス信号に基づいて、駆動する冗長ワード線ドライバ68を選択するための信号RUSE0、RUSE1を生成する。

#### 【0010】

具体的に、冗長アドレス判定回路38は、通常時は、信号RUSE0、RUSE1と共にLにし、冗長置換対象のアドレスを示すアドレス信号が入力された場合にのみ、信号RUSE0、RUSE1のうち、置換する冗長セルのワード線を駆動する冗長ワード線ドライバに対応する信号をH(Highレベル)にするようになっている。

#### 【0011】

冗長アドレス判定回路38は、バッファ69を介して、冗長ワード線ドライバ68A、68Bと接続されており、冗長アドレス判定回路38で生成された信号RUSE0及びRUSE1は、駆動信号として、各々対応する冗長ワード線ドライバ68A、68Bに入力されるようになっている。また、冗長アドレス判定回路38は、バッファ69を介してNOR回路66とも接続されており、生成された信号RUSE0及びRUSE1はNOR回路66にも入力されるようになっている。このNOR回路66の出力は、分岐されて、各AND回路64の一方の入力と接続されており、NOR回路66は、信号RUSE0及びRUSE1のNOR演算を行って、該演算結果を示す信号RONBを各AND回路64へ出力する。また、各AND回路64の他方の入力は、ロウプリデコーダ62と接続されている。

#### 【0012】

ロウプリデコーダ62は、入力されたアドレス信号に基づいて、ワード線ドラ

イバ60を選択するための信号を生成して対応するAND回路64へ出力する。具体的には、ロウプリデコーダ62は、アドレス信号に対応するワード線を選択可能なワード線ドライバ60に対してはH、それ以外のワード線ドライバ60に対してはLの信号を出力する。

## 【0013】

各AND回路64は、入力されたNOR回路66の出力信号と、ロウプリデコーダ62からの信号のAND演算を行って、AND演算結果を示す信号をワード線ドライバ60を駆動するための駆動信号として、各々対応するワード線ドライバ60へ出力する。

## 【0014】

また、ロウプリデコーダ62は、各ワード線ドライバ60及び各冗長ワード線ドライバ68とも接続されており、ワード線ドライバ60で選択可能な16本のワード線の中から、該アドレス信号で指定されているアドレスに対応するワード線を選択するためのワード線選択信号（すなわち何本目のワード線を選択すべきかを示す信号）を生成して、各ワード線ドライバ60及び冗長ワード線ドライバ68へ出力する。

## 【0015】

ワード線ドライバ60及び冗長ワード線ドライバ68は、各々に入力された駆動信号がHの場合に、ロウプリデコーダ62からのワード線選択信号で指定されたワード線を選択するようになっている。

## 【0016】

次に、この半導体記憶装置100で行われるアドレッシングについて説明する。半導体記憶装置100では、通常時、すなわちアドレスバッファ20からのアドレス信号が冗長置換対象でない場合は、冗長アドレス判定回路38からの出力信号RUSE0、RUSE1はLであり、冗長ワード線ドライバ68A、Bは非活性状態となると共に、NOR回路66の出力信号RONBはHとなり、各ワード線ドライバ60が活性化可能状態となる。

## 【0017】

そして、アドレスバッファ20からのアドレス信号に基づいて、ロウプリデコ

ーダ62からワード線ドライバ60を選択する信号が対応するAND回路64に入力され、当該AND回路64により対応するワード線ドライバ60が活性化される。

#### 【0018】

活性化されたワード線ドライバ60は、ロウプリデコーダ62からのワード線を選択するための信号に基づいて、各ワード線を選択する。

#### 【0019】

一方、冗長置換対象の選択時、すなわちアドレス信号で指定されたアドレスが冗長置換対象であった場合は、冗長アドレス判定回路38では出力信号RUSE0、RUSE1の何れか一方、例えばRUSE0をHにし、冗長ワード線ドライバ68Aが活性化される。また、同時に、NOR回路66の出力信号RONBがLとなり、全てのAND回路64の出力信号がLになり、ワード線ドライバ60は非活性状態にされる。これにより、メモリアレイ14側のワード線が選択されることなくなる。

#### 【0020】

この状態でロウプリデコーダ62からワード線を選択するための信号が出力されると、冗長ワード線ドライバ68Aによって、ロウ冗長メモリ30から該信号に基づいて各ワード線をが選択される。これにより、冗長置換対象のアドレスが選択された場合に、本メモリアレイ14側の本セルの代わりに、ロウ冗長メモリ30側の冗長セルを選択でき、冗長救済を実現できるようになっている。

#### 【0021】

なお、カラムの置換については、上記と同様の構成をカラム方向に適用することにより実現可能であるが、各メモリアレイ毎に冗長メモリが必要になることから、図12のように、複数のメモリアレイ14で冗長メモリを共有できるように構成することもある。

#### 【0022】

図12に示すように、半導体記憶装置100は、256本のビット線が設けられたメモリセル、すなわち256列のメモリセルからなるメモリアレイ14を2つ設けた例であり（以下、互いを区別する場合はメモリアレイ14\_0、14\_1

1と称す)、各メモリアレイ14のカラムアドレスは00h~FFhとなってい  
る。また、カラム冗長メモリ32については、16本のビット線、すなわち16  
列のメモリセルからなるカラム冗長メモリ32が2つ設けられている(以下、各  
々区別する場合はカラム冗長メモリ32\_0、32\_1と称す)。

## 【0023】

この半導体記憶装置は、アドレスバッファ20や冗長アドレス判定回路38の  
他に、指定されたアドレスに対応するメモリセルのカラムをメモリアレイ14か  
ら選択するために、各メモリアレイ14内の16本のビット線を1組として、各  
組毎に設けられたカラムデコーダ18、メモリセルからの出力信号を検出して増  
幅するために各メモリアレイ14毎に設けられたセンスアンプ22A、指定され  
たアドレスに対応するメモリセルをカラム冗長メモリ32から選択するために各  
カラム冗長メモリ32に対して設けられた冗長カラムデコーダ36及び冗長用の  
センスアンプ22B、及び入出力回路24を備えている。また、半導体記憶装置  
は、外部へ情報を出力するために、各メモリアレイ14に対して1つずつ、計2  
つの出力ポート(入出力ポートでも可)DOUTを備えている。

## 【0024】

以下、メモリアレイ14毎の部材については、対応するメモリアレイ14を区  
別する場合は、各々の符号末尾に、メモリアレイ14Aに対応するものには「\_  
0」、メモリアレイ14Bに対応するものには「\_1」を付与して説明する。ま  
た、カラム冗長メモリ32毎の部材については、対応するカラム冗長メモリ32  
を区別する場合は、各々の符号末尾に、カラム冗長メモリ32Aに対応するもの  
には「\_0」、カラム冗長メモリ32Bに対応するものには「\_1」を付与して  
説明する。

## 【0025】

図12では、入出力回路24については、情報の出力に関する部分のみ示して  
おり、その他の部分については省略しており、以下、情報の出力に関する部分の  
み詳細に説明する。入出力回路24は、センスアンプ22A\_0、22A\_1と  
対応する出力ポートDOUT\_0、DOUT\_1との接続をON/OFFするた  
めの第1のスイッチングゲート80\_0、80\_1と、第1のスイッチングゲー

ト80\_0、80\_1のON/OFF状態を切換えるためのOR回路82\_0、82\_1とを備えている。

## 【0026】

また、入出力回路24には、センスアンプ22B\_0、22B\_1と各出力ポートDOUT\_0、DOUT\_1との接続をON/OFFするための第2のスイッチングゲート84\_00、84\_01、84\_10、84\_11と、各第2のスイッチングゲート84のON/OFF状態を切換えるためのNOT回路86\_00、86\_01、86\_10、86\_11を備えている。なお、符号末尾の2桁の数字x yのxは対応するカラム冗長メモリ32を示し、yは対応するメモリセル14（出力ポートDOUT）を示す数字である。

## 【0027】

冗長アドレス判定回路38は、カラム置換のためには、アドレスバッファ20から入力されたアドレス信号に基づいて、第2のスイッチングゲート84\_00、84\_01、84\_10、84\_11をON/OFF制御するための信号RC0DQ0、RC0DQ1、RC1DQ0、RC1DQ1を生成する。なお、RCx DQyのうちのxは対応するカラム冗長メモリ32を示し、yは対応するメモリセル14（出力ポートDOUT）を示す数字である。

## 【0028】

具体的に、冗長アドレス判定回路38は、通常時は、これらの信号RC0DQ0、RC0DQ1、RC1DQ0、RC1DQ1をLとし、冗長置換対象のアドレスを示すアドレス信号が入力された場合にのみ、信号RC0DQ0、RC0DQ1、RC1DQ0、RC1DQ1のうち、置換対象のメモリセル（不良）が含まれるメモリセル14に対応する出力ポートDOUTと、置換する冗長セルが含まれるカラム冗長メモリ32に対応するセンスアンプ22Bとに対応する信号のみをHレベルにするようになっている。

## 【0029】

冗長アドレス判定回路38は、NOT回路86\_00、86\_01、86\_10、86\_11とそれぞれ接続されており、NOT回路86\_00、86\_01、86\_10、86\_11は、それぞれ対応する第2のスイッチングゲート84

\_00、84\_01、84\_10、84\_11と接続されている。冗長アドレス判定回路38により生成された信号RC0DQ0、RC0DQ1、RC1DQ0、RC1DQ1は、それぞれ対応するNOT回路86に入力されて反転された後、スイッチング信号として、対応するスイッチングゲート84に供給される。スイッチングゲート84は、それぞれ対応するセンスアンプ22Bと出力ポートDOUTとの接続を、スイッチング信号がLの場合はONし、Hの場合はOFFする。

#### 【0030】

また、冗長アドレス判定回路38は、OR回路82\_0、82\_1とも接続されており、OR回路82\_0には、2つの信号RC0DQ0、RC1DQ0が入力され、OR回路82\_1には、2つの信号RC0DQ1、RC1DQ1が入力される。OR回路82\_0、82\_1は、それぞれ対応する第1のスイッチングゲート80\_0、80\_1と接続されており、入力された2つの信号のOR演算結果を示す信号をスイッチング信号として、対応する第1のスイッチングゲート80に供給するようになっている。スイッチングゲート80は、それぞれ対応するセンスアンプ22Aと出力ポートDOUTとの接続を、スイッチング信号がLの場合はONし、Hの場合はOFFする。

#### 【0031】

次に、この半導体記憶装置100で行われるアドレッシングについて説明する。この半導体記憶装置100では、通常時、すなわちアドレスバッファ20からのアドレス信号が冗長置換対象でない場合は、冗長アドレス判定回路38からの出力信号RC0DQ0、RC0DQ1、RC1DQ0、RC1DQ1はLであり、第2のスイッチングゲート84\_00、84\_01、84\_10、84\_11の何れもが、それぞれ対応するセンスアンプ22Bと出力ポートDOUTとの接続をOFFにする。これにより、各出力ポートDOUT\_0、DOUT\_1から、カラム冗長メモリ32へはアクセス不能となる。

#### 【0032】

また、同時に、出力信号RC0DQ0、RC0DQ1、RC1DQ0、RC1DQ1がLであるので、OR回路82\_0、82\_1の出力がLになり、スイッ

チングゲート80\_0、80\_1では、それぞれ対応するセンスアンプ22Aと出力ポートDOUTとの接続をONする。これにより、各出力ポートDOUT\_0、DOUT\_1から、それぞれ対応するメモリアレイ14\_0、14\_1にアクセス可能となる。

#### 【0033】

そして、アドレスバッファ20からのアドレス信号に基づいて、対応するビット線を選択可能なカラムデコーダ18が活性化され、活性化されたカラムデコーダ18において当該アドレス信号に対応するビット線が選択される。

#### 【0034】

一方、冗長置換対象の選択時、すなわちアドレス信号で指定されたアドレスが冗長置換対象であった場合は、冗長アドレス判定回路38では、出力信号RC0 DQ0、RC0DQ1、RC1DQ0、RC1DQ1のうちの、置換対象のメモリセル（不良）が含まれるメモリアレイ14と、置換する冗長セルが含まれる冗長メモリ32とに対応する何れか1つの信号、例えば信号RC0DQ0をHにする。

#### 【0035】

これにより、OR回路82\_0の出力がHに変わり、スイッチングゲート80\_0がOFF状態に切り替わり、センスアンプ22A\_0と出力ポートDOUT\_0とは非接続となり、代わりに、スイッチングゲート84\_00がON状態に切り替わり、センスアンプ22B\_0と出力ポートDOUT\_0とが接続される。

#### 【0036】

そして、アドレスバッファ20からのアドレス信号に基づいて、冗長カラムデコーダ36\_0が活性化され、活性化された冗長カラムデコーダ36\_0において当該アドレス信号に対応するビット線が選択される。これにより、冗長置換対象のアドレスが選択された場合に、本メモリアレイ14側のメモリセル（本セル）の代わりに、カラム冗長メモリ32側のメモリセルが選択でき、冗長救済を実現できるようになっている。

#### 【0037】

従来は、このような冗長救済機能を備えた半導体記憶装置（デバイス）に対して、まず、デバイスのアドレス空間内、すなわち本セル領域の各メモリセルにアクセスして動作テストを実施し、各メモリセルが正常か否かを検査し、動作テストにより不良セルが発見された場合には、上記で説明した如くロウ置換やカラム置換を行って、該不良セルを冗長セルに置換して再度動作テストを行なっていた。そして、最初のテストで正常と判定されたデバイス及び再テストで正常と判定されたデバイスのチップをウェハから切り出してパッケージ化していた。

## 【0038】

## 【発明が解決しようとする課題】

しかしながら、この方法では、冗長セルについては、不良セルと置換した後で、初めて不良であるか否かがテストされるため、置換した冗長セルが不良であった場合には、冗長救済できないという問題があった。

## 【0039】

また、冗長セルへのアクセスが可能となるように、冗長セルを本セル領域の任意のアドレスに置換して、冗長セルについても動作テストを行った後、正常な冗長セルをメモリアレイ内の不良セルと置換することができるが、この場合は、本セルの動作テストと冗長セルの動作テストとが独立で行われるため、テストに要する時間が長くなってしまうという問題があった。

## 【0040】

本発明は上記問題点を解消するためになされたもので、歩留まりを向上し、且つ冗長救済のためのテスト時間を短縮することができる半導体記憶装置のテスト方法及び半導体記憶装置を提供することを目的とする。

## 【0041】

## 【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の発明は、各々に固有のアドレスが予め割当てられた複数のメモリセルと、前記メモリセルに相当し、前記メモリセルと置換え可能な冗長セルとを備え、所定のメモリセルを前記冗長セルと置換える冗長救済機能モードを備えた半導体記憶装置をテストする半導体記憶装置のテスト方法であって、前記複数のメモリセルの固有アドレスで定まるアドレス空

間に対して近傍のアドレスを前記冗長セルに割当て、前記複数のメモリセルの前記アドレス空間に前記冗長セルのアドレスを含めたアドレス範囲について、前記メモリセル及び前記冗長セルにアクセス可能として、前記複数のメモリセル及び前記冗長セルをテストする、ことを特徴としている。

#### 【0042】

請求項1に記載の発明によれば、冗長セルに、複数のメモリセル（以下、本セル）の固有アドレスで定まるアドレス空間（以下、本来のデバイスのアドレス空間）に対して近傍のアドレスが割当てられて、本来のアドレス空間に冗長セルに割当てたアドレスを含めたアドレス範囲について、本セル及び冗長セルにアクセス可能としてテストが行われる。なお、近傍のアドレスとは、本来のアドレス空間の上位のアドレスでもよいし、下位のアドレスでもよい。

#### 【0043】

すなわち、本来のデバイスのアドレス空間よりも冗長セル分を含めた広いアドレス範囲をデバイスのアドレス空間とした半導体記憶装置であるかの如く扱ってテストが行われるので、冗長置換を行わずとも、一回のテストで本セルと冗長セルとをテストすることができる。

#### 【0044】

これにより、テストにより本セルに不良セルが検出されて、冗長セルと置換すること（冗長置換）が必要な場合に、本セルと同時に冗長セルのテストも行われているので、不良でない冗長セルを選択して冗長置換を行うことができ、救済に失敗することができない。また、冗長セルと本セルとを一度にテストすることができるので、冗長置換後の再テストを簡略化することができ、テストに要する全体の時間を短縮化することができる。

#### 【0045】

上記のテスト方法は、以下の如く構成された半導体記憶装置により実現可能である。すなわち、この半導体記憶装置は、請求項2に記載されているように、各自に固有のアドレスが予め割当てられ、対応するアドレスを示す信号の入力によりアクセスされる複数のメモリセルと、前記メモリセルに相当し、前記メモリセルと置換え可能な冗長セルと、前記複数のメモリセルのうちの所定のメモリセル

を前記冗長セルと置換えてアクセスするように制御する冗長救済制御手段と、テストモードを示す信号が入力された場合に、前記冗長救済制御手段の制御をキャンセルすると共に、前記複数のメモリセルの固有アドレスで定まるアドレス空間に対して近傍のアドレスを前記冗長セルに割当て、前記複数のメモリセルの前記アドレス空間に前記冗長セルのアドレスを含めたアドレス範囲について、前記メモリセル及び前記冗長セルにアクセス可能に制御するテストモード制御手段と、を有する。

## 【0046】

請求項3に記載の発明は、各々に固有のアドレスが予め割当てられた複数のメモリセルと、前記メモリセルに相当し、前記メモリセルと置換え可能な冗長セルとを備え、所定のメモリセルを前記冗長セルと置換える冗長救済機能モードを備えた半導体記憶装置をテストする半導体記憶装置のテスト方法であって、前記複数のメモリセルにアクセスするための第1のポートと、前記冗長セルにアクセスするための第2のポートとを予め設けておき、冗長救済機能モード時には、前記メモリセル及び冗長セルに対して、前記第1のポートによりアクセス可能に設定し、テストモード時は、前記第1のポートから前記メモリセルにアクセス可能とし、且つ前記第2のポートから前記冗長セルにアクセス可能として、前記複数のメモリセル及び前記冗長セルをテストする、ことを特徴としている。

## 【0047】

請求項3に記載の発明によれば、冗長セルに対して、複数のメモリセル（以下、本セル）にアクセスするために設けられた第1のポートとは別に、冗長セルにアクセスするための第2のポートが設けられている。なお、第1、第2のポートは、少なくとも情報を出力することができればよい。

## 【0048】

冗長救済機能モード時は、第1のポートにより本セル及び冗長セルにアクセス可能とされる。すなわち、冗長救済機能モード時は、第1のポートにより本セルにアクセスし、且つ所定の本セルについては、該本セルの代わりに冗長セルに対して第1のポートによりアクセスすることになる。これに対して、テストモード時は、本セルには第1のポート、冗長セルには第2のポートによりアクセス可能

とされて、本セルと冗長セルのテストが行われる。すなわち、本来のデバイスのポート（第1のポート）とは別の第2のポートに配された本セルかの如く冗長セルを扱ってテストが行われるので、一回のテストで本セルと冗長セルとをテストすることができる。

## 【0049】

これにより、テストにより本セルに不良セルが検出されて、冗長セルと置換すること（冗長置換）が必要な場合に、本セルと同時に冗長セルのテストも行われているので、不良でない冗長セルを選択して冗長置換を行うことができ、救済に失敗することがない。また、冗長セルと本セルとを一度にテストすることができるので、冗長置換後の再テストを簡略化することができ、テストに要する全体の時間を短縮化することができる。

## 【0050】

上記のテスト方法は、以下の如く構成された半導体記憶装置により実現可能である。すなわち、この半導体記憶装置は、請求項4に記載されているように、各自に固有のアドレスが予め割当てられ、対応するアドレスを示す信号の入力によりアクセスされる複数のメモリセルと、前記メモリセルに相当し、前記メモリセルと置換え可能な冗長セルと、前記複数のメモリセルにアクセスするための第1のポートと、前記冗長セルにアクセスするための第2のポートと、前記複数のメモリセルのうちの所定のメモリセルを前記冗長セルに置換えて、前記第1のポートにより前記メモリセル及び冗長セルに対してアクセス可能に制御する冗長救済制御手段と、テストモードを示す信号が入力された場合に、前記冗長救済制御手段の制御をキャンセルすると共に、前記第1のポートから前記メモリセルにアクセス可能とし、且つ前記第2のポートから前記冗長セルにアクセス可能に制御するテストモード制御手段と、を有する。

## 【0051】

## 【発明の実施の形態】

次に、図面を参照して本発明に係る実施形態の1例を詳細に説明する。

## 【0052】

## &lt;第1の実施の形態&gt;

## 【構成】

図1に本発明の第1の実施の形態に係わる半導体記憶装置10の回路構成を示す。なお、図1では、図11と同一の部材については、同一の部材番号を付与して示している。

## 【0053】

図1に示すように、半導体記憶装置10は、情報を記憶するための多数のメモリセル12が二次元マトリクス状に配置され、且つ各メモリセル12についてロウ方向の位置とカラム方向の位置で定義される固有のアドレスが予め割当てられたメモリアレイ14、指定されたアドレスに対応するメモリセル12をメモリアレイ14内の多数のメモリセル12の中から選択するためのロウデコーダ16及びカラムデコーダ18、外部から入力されたアドレス信号に基づいてアクセスするメモリセル12のアドレスを指定するアドレスバッファ20、メモリセルからの出力信号を検出して増幅するセンスアンプ22、及び外部と情報を入出力するための入出力回路24を備えている。

## 【0054】

また、この半導体記憶装置10は、冗長救済機能として、不良セルと置換えるための複数のメモリセル12が配置された予備メモリとしてのロウ冗長メモリ30及びカラム冗長メモリ32、指定されたアドレスに対応するメモリセル12をロウ冗長メモリ30及びカラム冗長メモリ32の中から選択するための冗長ロウデコーダ34及び冗長カラムデコーダ36、及びメモリセル12の選択対象をメモリアレイ14とロウ冗長メモリ30又はカラム冗長メモリ32とで切換えるための冗長アドレス判定回路38を備えている。

## 【0055】

メモリアレイ14、ロウ冗長メモリ30及びカラム冗長メモリ32内には、それぞれが1ビットの情報を記憶する記憶するメモリセル12が二次元配列されており、メモリセル12の各ロウ（行）に対応してワード線40、各カラム（列）に対応してビット線42が設けられている。

## 【0056】

一般に、半導体記憶装置10では、1つのメモリパット上に二次元配列して形

成された複数のメモリセル12のうち、デバイス性能に応じた分をメモリアレイ14とし、残りをロウ冗長メモリ30やカラム冗長メモリ32として用いる。したがって、メモリアレイ14とロウ冗長メモリ30とでは、ビット線42を共用し、メモリアレイ14とカラム冗長メモリ32とでは、ワード線40を共用することになる。

#### 【0057】

なお、本実施の形態では、各メモリアレイ14は256行のメモリセル12からなり、すなわちメモリアレイ14内に256本のワード線40が設けられている場合を例に説明する。したがって、デバイスのロウアドレス空間（メモリアレイ14の本セルのロウ方向のアドレス）は、00h～FFh（末尾のhは16進数であることを示す）となる。また、ロウデコーダ16は、メモリアレイ14内の16本のワード線を1組として、各組に1つずつ計16個のワード線ドライバ60を備えている（図2参照）。

#### 【0058】

また、本実施の形態では、16本のワード線40が設けられたロウ冗長メモリ30、すなわち16行のメモリセル12からなるロウ冗長メモリ30が2つ設けられており、冗長ロウデコーダ34は、各ロウ冗長メモリ30に対して1つ、計2つの冗長ワード線ドライバ68（図2参照）を備えている場合を例に説明する。

#### 【0059】

すなわち、半導体記憶装置10は、1つのメモリセル12に対して、2つのロウ冗長メモリ30（図2参照。以下、互いを区別する場合はロウ冗長メモリ30A、30Bと称す）と1つのカラム冗長メモリ32が設けられており、図1では、このメモリセル12、ロウ冗長メモリ30、カラム冗長メモリ32のセットを1組のみ示しているが、実際には、カラム方向に複数組（本実施の形態では2組）設けられており、ワード線40については複数組間でも共用される。

#### 【0060】

また、以下では、メモリアレイ14内のメモリセル12と、ロウ冗長メモリ30及びカラム冗長メモリ32内のメモリセル12とを区別して説明する場合は、

前者を本セル12A、後者を冗長セル12Bと称す。

#### 【0061】

メモリアレイ14内に配設された各ワード線40及びビット線42は、それぞれロウデコーダ16及びカラムデコーダ18と接続され、ロウ冗長メモリ30内に配設された各ワード線40は冗長ロウデコーダ34、カラム冗長メモリ32内に配設された各ビット線42は冗長カラムデコーダ36と接続されている。

#### 【0062】

アドレスバッファ20は、外部からアクセス対象のメモリセル12のアドレスを示すアドレス信号が入力され、入力されたアドレス信号に基づいて、ロウアドレスを指定するロウアドレス信号と、カラムアドレスを指定するカラムアドレス信号とを生成する。アドレスバッファ20は、生成したロウアドレス信号については、ロウデコーダ16及び冗長ロウデコーダ34に出力し、カラムアドレス信号については、カラムデコーダ18及び冗長カラムデコーダ36に出力する。なお、図1では、アドレスバッファ20とカラムデコーダ18及び冗長カラムデコーダ36との接続線を省略している。

#### 【0063】

ロウデコーダ16及び冗長ロウデコーダ34は、アドレスバッファ20から入力されたロウアドレス信号に対応するワード線40、すなわちメモリセル12のロウ（行）を選択し、カラムデコーダ18及び冗長カラムデコーダ36は、アドレスバッファ20から入力されたカラムアドレス信号に対応するビット線42、すなわちメモリセルのカラム（列）を選択するものである。各メモリセル12は、それぞれ対応するワード線40及びビット線42が選択されることにより活性化され、アクセス可能となる。

#### 【0064】

センスアンプ22は、入出力回路24を介して外部から入力された情報を活性化されたメモリセル12に対して書き込んだり、活性化されたメモリセル12から読み出された信号を增幅し、該メモリセルに記憶されている情報を入出力回路24を介して外部へ出力する。なお、一般に、外部と情報を出力（入出力）するポートは、メモリアレイ14、及びカラム、ロウ冗長メモリ30、32の組と1対

1対応で設けられる。また、情報出力（入出力）用の端子はDQ端子と称されるため、図1には、各々の出力端子DQ0、DQ1との対応をして示している。

#### 【0065】

また、アドレスバッファ20は、生成したロウアドレス信号及びカラムアドレス信号を冗長アドレス判定回路38にも出力する。

#### 【0066】

冗長アドレス判定回路38は、テストによりメモリアレイ14内の本セル12Aに不良セルがある場合に、該不良セルを含むロウ又はカラム単位で、ロウ冗長メモリ30又はカラム冗長メモリ32内の冗長セル12Bと置換するものであり、本発明の冗長救済制御手段に対応する。冗長アドレス判定回路38は、アドレスバッファ20から入力されたロウアドレス信号及びカラムアドレス信号を解析し、外部からのアドレス信号によりアクセス対象としたメモリセル12（本セル12A）のアドレスが冗長置換対象であった場合には、ロウデコーダ16A及びカラムデコーダ18Bを非活性化し、冗長ロウデコーダ34又は冗長カラムデコーダ36を活性化すると共に、ロウ冗長メモリ30又はカラム冗長メモリ32から置換した冗長セルを選択するように冗長ロウデコーダ34又は冗長カラムデコーダ36の駆動を制御する。

#### 【0067】

また、図1に示すように、本実施の形態に係わる半導体記憶装置10には、テストモード制御回路50Aがさらに備えられている。このテストモード制御回路50Aは、テストモード時に、冗長アドレス判定回路38の動作を無視し、且つロウ冗長メモリ30及びカラム冗長メモリ32の冗長セルを、あたかも本来のデバイスのアドレス空間（すなわちメモリアレイ14の本セル）の下位又は上位のアドレス空間に配置されたメモリセルとしてアクセス可能となるように制御するものであり、本発明のテストモード制御手段（請求項2）に対応する。

#### 【0068】

次に、図2を参照して、このテストモード制御回路50Aについて、詳細に説明する。なお、図2では、ロウ置換のための構成のみを示し、カラム置換についても同様の構成で実現できるため省略している。以下では、ロウ置換についての

構成のみ詳細に説明し、カラム置換についての説明は省略する。また、図2では、図11と同一の部材については、同一の部材番号を付与して示しており、以下では詳細な説明を省略する。

#### 【0069】

図2に示すように、テストモード制御回路50Aには、外部からテストモードを示す信号、すなわち冗長セルを本セルの上位又は下位のアドレス空間に配置するか否かを指示する信号RDDMAPが入力され、アドレスバッファ20からロウ冗長メモリ30、30Bをそれぞれ選択するための信号10xh、11xhが入力されるようになっている。なお、信号RDDMAPは、テストモード時はH、それ以外の場合はLとなっている。信号10xh、11xhは、それぞれロウアドレスが100h～10Fh、110h～11Fhの場合にH、それ以外の場合はLとされるようになっている。

#### 【0070】

テストモード制御回路50Aは、冗長ワード線ドライバ68A、68Bの各々に対応して、第1のAND回路70A、70B、第2のAND回路72A、72B、及びOR回路74A、74Bを備えている。また、テストモード制御回路50Aは、信号RDDMAPを反転するためのNOT回路76も備えている。

#### 【0071】

外部から入力された信号RDDMAPは、第1のAND回路70A、70Bに入力されるようになっている。この第1のAND回路70A、70Bは、それぞれアドレスバッファ20と接続されており、第1のAND回路70Aには信号10xh、第1のAND回路70Bには信号11xhが入力される。この第1のAND回路70A、70Bの出力は、それぞれOR回路74A、74Bと接続されており、OR回路74A、74Bには、それぞれ信号RDDMAPと信号10xhのAND演算結果、信号RDDMAPと信号11xhのAND演算結果が入力される。

#### 【0072】

また、外部から入力された信号RDDMAPは、NOT回路76にも入力され、このNOT回路76の出力は、分岐されて、第2のAND回路72A、72B

にそれぞれ接続されている。すなわち、第2のAND回路72A、72Bには、信号RDDMAPがNOT回路76により反転されて入力される。また、第2のAND回路72A、72Bは、それぞれ冗長アドレス判定回路38とも接続されており、第2のAND回路72Aには信号RUSE0、第2のAND回路72Bには信号RUSE1が入力される。

## 【0073】

この第2のAND回路72A、72Bの出力は、NOR回路66と接続されており、NOR回路66では、信号RDDMAPの反転信号と、信号RUSE0、RUSE1各々とのAND演算結果をNOR演算して、信号RONBを生成するようになっている。

## 【0074】

また、第2のAND回路72A、72Bの出力は、それぞれOR回路74A、74Bとも接続されている。OR回路74Aは、第1のAND回路70Aと第2のAND回路72AとのOR演算を行い、OR回路74Bは、第1のAND回路70Bと第2のAND回路72BとのOR演算を行って、各々対応する冗長ワード線ドライバ68A、68Bへ、当該ドライバを駆動するための駆動信号として、OR演算結果を示す信号を出力する。

## 【0075】

## [作用]

次に、本実施の形態の作用として、半導体記憶装置10で行われるアドレッシングについて説明する。

## 【0076】

通常時及び冗長置換後の冗長置換対象の選択時は、外部からの信号RDDMAPはLであり、この場合は、第1のAND回路70A、70Bの出力がLで、第2のAND回路72A、72Bには、冗長アドレス判定回路38からの信号RUSE0、RUSE1をそのまま出力することになり、従来と同様のアドレッシングとなるので説明は省略する。

## 【0077】

テストモード時は、信号RDDMAPがHとなり、第2のAND回路72A、

72Bには、NOT回路76により該信号RDDMAPが反転されてLの信号が入力されるので、冗長アドレス判定回路38の出力、すなわち冗長アドレス判定回路38の制御が無効になる。これにより、冗長置換対象が選択されたとしても、NOR回路66の出力信号RONBがHとなり、ワード線ドライバ60が活性化可能となって、メモリアレイ14側のワード線40を選択することができる（冗長置換が行われない）。

## 【0078】

この場合、外部からは、アドレス信号として、本来のデバイスのアドレス空間（すなわちメモリアレイ14の本セル）を示す信号は勿論のこと、本来のデバイスのアドレス空間よりも上位又は下位のアドレス空間を示す信号も入力される。

## 【0079】

外部からのアドレス信号が、本来のデバイスのアドレス空間に対応するものである場合には、ロウプリデコーダ62から、当該アドレス信号に基づいて、ロウプリデコーダ62からワード線ドライバ60を選択する信号が対応するAND回路64に入力され、当該AND回路64により対応するワード線ドライバ60が活性化される。また、これと同時に、ロウプリデコーダ62からのワード線を選択するための信号が出力され、活性化されたワード線ドライバ60は、このワード線を選択するための信号に基づいて、各ワード線を選択する。

## 【0080】

また、外部から本来のデバイスのアドレス空間よりも上位又は下位のアドレスを示すアドレス信号が入力された場合には、アドレスバッファ20により、当該アドレス信号に応じて信号 $10 \times h$ 又は信号 $11 \times h$ がHにされ、冗長ワード線ドライバ68A又は68Bが活性化される。例えば、 $100h \sim 10Fh$ のロウアドレスを示すアドレス信号が入力された場合には、信号 $10 \times h$ がHにされ、第1のAND回路70Aの出力がHとなり、冗長ワード線ドライバ68Aが活性化される。また、例えば、 $110h \sim 11Fh$ のロウアドレスを示すアドレス信号が入力された場合には、信号 $11 \times h$ がHにされ、第1のAND回路70Bの出力がHとなり、冗長ワード線ドライバ68Bが活性化される。

## 【0081】

また、これと同時に、ロウプリデコーダ62からのワード線を選択するための信号が出力され、活性化された冗長ワード線ドライバ68A又は68Bは、このワード線を選択するための信号に基づいて、各ワード線を選択する。これにより、ロウ冗長メモリ30Aや30Bを本来のデバイスのアドレス空間よりも上位のロウアドレス100h～10Fhや110h～11Fhに割振ることができる。

#### 【0082】

なお、上記ではロウ冗長メモリ30に対するアドレッシングを説明したが、カラム冗長メモリ32についても同様に行うことができる。

#### 【0083】

次に、具体的に、本実施の形態に係わる半導体記憶装置10のテストモード時の動作を従来技術と対比して説明する。

#### 【0084】

まず、図3、図4を参照して、ロウ冗長メモリ30に対するアドレッシングについて説明する。なお、図3、4では、説明の簡便化のため、ロウ冗長メモリは、1つのみ図示している。

#### 【0085】

例えば、図3（A）に示すように、デバイスのロウアドレス（本セルのロウ方向を示す位置）空間が00h～FFh（末尾のhは16進数であることを示す）である場合、冗長セルが使用されていない場合は、メモリアレイ14のアクセス空間として、ロウアドレス00h～FFhに対応する本セル12Aへのアクセスが行われる。

#### 【0086】

従来技術（図11参照）では、デバイスのロウアドレス空間の00h～FFhに対して動作テストを行い、その結果例えばロウアドレス10h～1Fhのメモリ空間内に不良セルが含まれており、冗長置換が行なわれると、図3（B）に示すように、ロウアドレス10h～1Fhに対応する本セルにアクセスする代わりに、2つ搭載されているロウ冗長メモリ30のうち一方が選択されてアクセス可能となり、該選択されたロウ冗長メモリ30のロウアドレスがRdd：0h～Fhの冗長セルにアクセスする制御がなされ、不良セルが救済される。ただし、こ

の時点ではロウ冗長メモリ30のR d d : 0 h ~ F h の冗長セルが正常か否かは分からず、ロウ冗長メモリ30のR d d : 0 h ~ F h の冗長セルに不良ビットがあると救済に失敗してしまう。

#### 【0087】

これに対して、本半導体記憶装置10では、ロウ冗長メモリ30に対してデバイスのロウアドレス空間よりも上位又は下位のアドレスが割当てられて動作テストが行われる。例えば、図4 (A) から (B) のように、一方のロウ冗長メモリ30のロウアドレスR d d : 0 h ~ F h に、デバイスのロウアドレスとして、100 h ~ 10F h が割当てられる（なお、もう1つのロウ冗長メモリ30のロウアドレスR d d : 0 h ~ F h には、デバイスのロウアドレスとして、110 h ~ 11F h が割当てられるが、省略）。

#### 【0088】

これにより、デバイスのロウアドレス空間を、本来のアドレス空間に冗長セルに割当てたアドレスを含めたアドレス範囲00 h ~ 10F h として、あたかもメモリアレイ14と一体のメモリかの如くロウ冗長メモリ30にアクセス可能となり、冗長置換を行わずとも、メモリアレイ14及びロウ冗長メモリ30をまとめて動作テストすることができる。そしてこの動作テストによりロウアドレス空間の00 h ~ FF h に対応する本セル領域内に不良セルを検出した場合は、動作テストにより正常なメモリセルと判断されたロウ冗長メモリ30内の冗長セルに置換すればよい。

#### 【0089】

また、カラム冗長メモリ32についてもロウ冗長メモリ30と同様のことが言える。図5、図6を参照して説明する。なお、図5、6では、説明の簡便化のため、カラム冗長メモリ32を1つのみ示している。

#### 【0090】

すなわち、例えば、図5 (A) に示すように、デバイスのカラムアドレス空間が00 h ~ FF h である場合、冗長セルが使用されていない場合は、メモリアレイのアクセス空間として、カラムアドレス00 h ~ FF h に対応する本セルへのアクセスが行われる。

## 【0091】

従来技術では、デバイスのカラムアドレス空間の00 h～FF hに対して動作テストを行い、その結果例えばカラムアドレス10 h～1F hのメモリ空間内に不良セルが含まれており、冗長置換が行なわれると、図5 (B) に示すように、カラムアドレス10 h～1F hに対応する本セルにアクセスする代わりに、2つ搭載されているカラム冗長メモリ32のうち一方が選択されてアクセス可能となり、選択されたカラム冗長メモリ32のカラムアドレスがRdd:0 h～F hの冗長セルにアクセスする制御がなされ、不良セルが救済される。ただし、この時点では、冗長置換したカラム冗長メモリ32のRdd:0 h～F hの冗長セルが正常か否かは分からず、該カラム冗長メモリ32のRdd:0 h～F hの冗長セルに不良ビットがあると救済に失敗してしまう。

## 【0092】

これに対して、本半導体記憶装置10では、カラム冗長メモリ32に対してデバイスのロウアドレス空間よりも上位又は下位のアドレスが割当てられて動作テストが行われる。例えば、図6 (A) から (B) のように、一方のカラム冗長メモリ32のカラムアドレスRdd:0 h～F hには、デバイスのカラムアドレスとして、100 h～10F hが割当てられる（なお、もう1つのカラム冗長メモリ32のカラムアドレスRdd:0 h～F hには、デバイスのカラムアドレスとして、110 h～11F hが割当てられるが、省略）。

## 【0093】

これにより、デバイスのカラムアドレス空間を、本来のアドレス空間に冗長セルに割当てたアドレスを含めたアドレス範囲00 h～10F hとして、あたかもメモリアレイ14と一体のメモリの如くカラム冗長メモリ32にアクセス可能となり、冗長置換を行わずとも、メモリアレイ14及びカラム冗長メモリ32をまとめて動作テストすることができる。そしてこの動作テストによりカラムアドレス空間の00 h～FF hに対応する本セル領域内に不良セルを検出した場合は、動作テストにより正常なメモリセルと判断されたカラム冗長メモリ32内の冗長セルに置換すればよい。

## 【0094】

なお、図5、6は、半導体記憶装置にメモリアレイ14が2個搭載され、各々が出力端子DQ0、DQ1に対応している場合の例である。

#### 【0095】

このように、第1の実施の形態では、冗長置換処理を行わずとも、ロウ冗長メモリ30及びカラム冗長メモリ32にアクセス可能であり、冗長置換前に冗長メモリの各冗長セルが正常であるか否かをテスト可能である。これにより、本セルに不良セルがあり冗長セルとの置換が必要な場合に、冗長メモリに不良セルが含まれていても、不良セルでない冗長セルを選択してロウ置換やカラム置換を行うことが可能であり、救済に失敗することがなく、歩留の向上を図ることができる。また、本セルと冗長セルとを一度にテストすることができ、冗長置換後の再テストの簡略化を図ることができ、テストに要する全体の時間の短縮化ができる。

#### 【0096】

##### <第2の実施の形態>

次に、本発明の第2の実施の形態として、冗長救済機能を備えた半導体記憶装置において、複数のメモリアレイで冗長メモリを共有できるように構成した場合について説明する。図7に本発明の第2の実施の形態に係わる半導体記憶装置10の概略回路構成を示す。なお、図7では、図1、図12と同一の部材については、同一の部材番号を付与して示している。また、図7では、アドレスバッファ20とロウデコーダ16及び冗長ロウデコーダ34との接続線を省略している。

#### 【0097】

##### [構成]

図7のように、第2の実施の形態に係わる半導体記憶装置10は、2つのメモリアレイ14（互いを区別する場合は14\_0、14\_1）と2つのカラム冗長メモリ32（互いを区別する場合は32\_0、32\_1）が設けられており、2つのメモリアレイ14で2つのカラム冗長メモリ32を共有するように構成されている。なお、各メモリアレイ14には、256本のビット線が設けられており、それぞれのカラムアドレスは00h～FFhとなっている。また、各カラム冗長メモリ32は、16本のビット線、すなわち16列のメモリセルにより構成さ

れている。

#### 【0098】

以下、図12と同様に、メモリアレイ14毎の部材については、対応するメモリアレイ14を区別する場合は、各々の符号末尾に、メモリアレイ14Aに対応するものには「\_0」、メモリアレイ14Bに対応するものには「\_1」を付与して説明する。また、カラム冗長メモリ32毎の部材についても、対応するカラム冗長メモリ32を区別する場合は、各々の符号末尾に、カラム冗長メモリ32Aに対応するものには「\_0」、カラム冗長メモリ32Bに対応するものには「\_1」を付与して説明する。

#### 【0099】

半導体記憶装置10は、本発明の第1のポートとして、各メモリアレイ14に対して1つずつ、計2つの出力ポート（入出力ポートでも可）DOUT\_0、DOUT\_1を備えており、各メモリアレイ14のメモリセル12に記憶された情報は、それぞれ対応する出力ポートDOUT\_0、DOUT\_1を介して外部へ出力される。

#### 【0100】

また、本実施の形態に係わる半導体記憶装置10は、出力ポートDOUT\_0、DOUT\_1とは別に、本発明の第2のポートとしての第2の出力ポートDOUT\_X、及びテストモード制御回路50Bをさらに備えている。

#### 【0101】

テストモード制御回路50Bは、テストモード時に、冗長アドレス判定回路38の動作を無視し、且つ第2の出力ポートDOUT\_Xを出力ポートDOUT\_0、DOUT\_1の下位又は上位のポートとして用いて、カラム冗長メモリ32\_0やカラム冗長メモリ32の冗長セルを、あたかも第2の出力ポートDOUT\_Xに配されたメモリセルとしてアクセス可能となるように制御するものであり、本発明のテストモード制御手段（請求項4）に対応する。

#### 【0102】

次に、図8を参照して、このテストモード制御回路50Bについて、詳細に説明する。なお、図8では、カラム置換のための構成のみを示し、ロウ置換につい

ては、第1の実施の形態で説明した構成を適用すればよいので省略している。以下では、カラム置換についてのみ詳細に説明する。また、図8では、図12と同一の部材については、同一の部材番号を付与して示しており、以下では詳細な説明を省略する。

#### 【0103】

図8に示すように、テストモード制御回路50Bには、外部からテストモードを示す信号、すなわちカラム冗長メモリ32をデバイスの本来の出力ポートDOUT\_0、DOUT\_1の上位又は下位の出力ポートDOUT\_Xに配されたメモリとしてアクセスするか否かを指示する信号RDDMAP、及びカラム冗長メモリ32\_0、32\_1をそれぞれ選択するための信号0xh、1xhが入力されるようになっている。なお、信号RDDMAPは、テストモード時はH、それ以外の場合はLとなっている。信号0xh、1xhは、それぞれカラム冗長メモリ32\_0、32\_Bを出力ポートDOUT\_Xに配されたメモリとしてアクセスする場合にH、それ以外の場合はLとされるようになっている。

#### 【0104】

テストモード制御回路50Bは、カラム冗長メモリ32\_0、32\_1の各々に対応して、NAND回路90\_0、90\_1、及び第3のスイッチングゲート92\_0、92\_1を備えている。また、テストモード制御回路50Bは、冗長アドレス判定回路38の出力信号RC0DQ0、RC0DQ1、RC1DQ0、RC1DQ1の各々に対応して、AND回路94\_00、94\_01、94\_10、94\_11を備えている。さらに、テストモード制御回路50Bは、信号RDDMAPを反転するNOT回路96を備えている。

#### 【0105】

外部から入力された信号RDDMAPは、NAND回路90\_0、90\_1に入力されるようになっている。このNAND回路90\_0、90\_1には、それぞれ外部から入力された信号信号0xh、1xhも入力されるようになっている。また、このNAND回路90\_0、90\_1の出力は、それぞれスイッチングゲート92\_0、92\_1と接続されており、NAND回路90\_0、90\_1は、それぞれ信号RDDMAPと信号0xhのNAND演算結果を示す信号ND

\_0、信号RDDMAPと信号1xhのNAND演算結果を示す信号ND\_1を生成し、スイッチング信号として、スイッチングゲート92\_0、92\_1に供給するようになっている。

#### 【0106】

第3のスイッチングゲート92\_0、92\_1は、カラム冗長メモリ32\_0、32\_1に対応して設けられたセンスアンプ22B\_0、22B\_1と、第2の出力ポートDOUT\_Xとの接続をそれぞれON/OFFするものであり、スイッチング信号がLの場合は接続をONし、Hの場合は接続をOFFする。

#### 【0107】

また、外部から入力された信号RDDMAPは、NOT回路96にも入力され、このNOT回路96の出力は、分岐されて、AND回路94\_00、94\_01、94\_10、94\_11とそれぞれ接続されている。すなわち、AND回路94\_00、94\_01、94\_10、94\_11には、信号RDDMAPがNOT回路96により反転されて入力される。また、AND回路94\_00、94\_01、94\_10、94\_11は、それぞれ冗長アドレス判定回路38とも接続されており、AND回路94\_00、94\_01、94\_10、94\_11には、それぞれ対応する冗長アドレス判定回路38の出力信号RC0DQ0、RC0DQ1、RC1DQ0、RC1DQ1が入力される。

#### 【0108】

これらのAND回路94のうち、AND回路94\_00、94\_10の出力は、OR回路82\_0と接続されており、AND回路94\_01、94\_11の出力は、OR回路82\_1と接続されている。すなわち、OR回路82\_1には、信号RDDMAPの反転信号と、信号RC0DQ0、RC1DQ0とのAND演算結果を示す信号がそれぞれ入力され、OR回路82\_0は、これらの入力信号をOR演算して、信号OR0を生成する。また、OR回路82\_1には、信号RDDMAPの反転信号と、信号RC0DQ1、RC1DQ1とのAND演算結果とがそれぞれ入力され、OR回路82\_1は、これらの入力信号をOR演算して、信号OR1を生成する。

#### 【0109】

また、AND回路94\_00、94\_01、94\_10、94\_11の出力は、それぞれNOT回路86\_00、86\_01、86\_10、86\_11とも接続されており、スイッチングゲート回路84\_00、84\_01、84\_10、84\_11には、スイッチング信号として、対応するAND回路94\_00、94\_01、94\_10、94\_11の出力信号が反転されて供給されるようになっている。

## 【0110】

## [作用]

次に、本実施の形態の作用として、半導体記憶装置10で行われるアドレッシングについて説明する。

## 【0111】

通常時及び冗長置換後の冗長置換対象の選択時は、外部からの信号RDDMAP、 $0 \times h$ 、 $1 \times h$ は全てLであり、この場合は、信号ND0、ND1がHとなり、第3のスイッチングゲート92\_0、92\_1は接続OFF状態となり、且つAND回路94\_00、94\_01、94\_10、94\_11には、NOT回路96により該信号RDDMAPが反転されてHの信号が入力され、それぞれは、冗長アドレス判定回路38からの出力信号RC0DQ0、RC0DQ1、RC1DQ0、RC1DQ1をそのまま出力することとなり、従来と同様のアドレッシングとなるため説明は省略する。

## 【0112】

テストモード時は、信号RDDMAPがHとなり、AND回路94\_00、94\_01、94\_10、94\_11には、NOT回路96により該信号RDDMAPが反転されてLの信号が入力されるので、冗長アドレス判定回路38の出力、すなわち冗長アドレス判定回路38の制御が無効になる。これにより、冗長置換対象が選択されたとしても、冗長アドレス判定回路38の制御はキャンセルされて、AND回路94\_00、94\_01、94\_10、94\_11の出力信号はLになり、OR回路82\_0、82\_1の出力信号OR0、OR1はLのままであるので、スイッチングゲート80\_0、80\_1は接続ON状態のまとなる。また、スイッチングゲート84\_00、84\_01、84\_10、84\_1

1には、AND回路94\_00、94\_01、94\_10、94\_11の出力信号が反転されて、Hのスイッチング信号が供給されるので、接続OFF状態になる。

## 【0113】

これにより、出力ポートDOUT\_0はメモリアレイ14\_0、出力ポートDOUT\_1はメモリアレイ14\_1にアクセス可能となる。

## 【0114】

また、テストモード時は、テスト対象とするカラム冗長メモリ32\_0、32\_1に応じて信号0xh、1xhの何れか一方がHにされるので、NAND回路90\_0、90\_1の何れか一方の出力がLになる。例えば、カラム冗長メモリ32\_0をテストする場合には、信号0xhがHにされ、これによりNAND回路90\_0の出力がLに変わり、第3のスイッチングゲート92\_0がON状態となる。また、例えば、カラム冗長メモリ32\_1をテストする場合には、信号1xhがHにされ、これによりNAND回路90\_1の出力がLに変わり、第3のスイッチングゲート92\_1がON状態となる。したがって、テストモード時は、第2の出力ポートDOUT\_Xがカラム冗長メモリ32\_0又は32\_1にアクセス可能となる。

## 【0115】

この状態で外部からアドレス信号が入力されると、各カラムデコーダ18、冗長カラムデコーダ36では、アドレスバッファ20からのカラムアドレスを示すアドレス信号に対応するビット線を選択する。そして、メモリアレイ14\_0、14\_1からアドレス信号に対応するメモリセル12の情報が読み出されて、センスアンプ22A\_0、22A\_1により増幅されて出力ポートDOUT\_0、DOUT\_1から外部へ出力される。また、入力されたアドレス信号が、0h～Fhのカラムアドレスを示すアドレス信号が入力された場合には、これと同時に、カラム冗長メモリ32\_0又は32\_1からも該アドレスに対応するメモリセル12（冗長セル）の情報が読み出されて、冗長用のセンスアンプ22B\_0又は22B\_1により増幅されて第2の出力ポートDOUT\_Xから外部へ出力される。

## 【0116】

これにより、カラム冗長メモリ32\_0、32\_1を本来のデバイスの出力ポートDOUT\_0、DOUT\_1とは別の第2の出力ポートDOUT\_Xに割当て、出力ポートDOUT\_0、DOUT\_1よりも上位又は下位の該第2の出力ポートDOUT\_Xに配されたメモリとしてカラム冗長メモリ32\_0、32\_1にアクセスすることができる。

## 【0117】

次に、図9、図10を参照して、具体的に、本実施の形態に係わる半導体記憶装置10のテストモード時の動作を従来技術と対比して説明する。なお、図9、図10では、説明の簡便化のため、カラム冗長メモリ32を1つのみ示している。

## 【0118】

例えば、図9（A）に示すように、デバイスのカラムアドレス（本セルのカラム方向を示す位置）空間が00h～FFhである場合、冗長セルが使用されていない場合は、出力ポートDOUT\_0、DOUT\_1から、それぞれメモリアレイ14\_0、14\_1のカラムアドレス00h～FFhに対応する本セルへのアクセスが行われる。

## 【0119】

従来技術（図12参照）では、動作テスト時は、メモリアレイ14\_0、14\_1のカラムアドレス空間の00h～FFhに対して動作テストを行い、その結果例えばメモリアレイ14\_1のカラムアドレス10h～1Fhのメモリ空間内に不良セルが含まれており、冗長置換が行なわれると、図9（B）に示すように、メモリアレイ14\_1のカラムアドレス10h～1Fhに対応する本セルにアクセスする代わりに、2つ搭載されているカラム冗長メモリ32のうち一方が選択されてアクセス可能となり、選択されたロウ冗長メモリ30のロウアドレスがRdd:0h～Fhの冗長セルにアクセスする制御がなされ、不良セルが救済される。ただし、この時点では置換したロウ冗長メモリ30のRdd:0h～Fhの冗長セル全てが正常か否かは分からず、ロウ冗長メモリ30のRdd:0h～Fhの冗長セルに不良ビットがあると救済に失敗してしまう。

## 【0120】

これに対して、本半導体記憶装置10では、カラム冗長メモリ32に対して、本来のデバイスの出力ポートDOUT\_0、DOUT\_1とは別の第2の出力ポートDOUT\_Xを割当てて、出力ポートDOUT\_0、DOUT\_1よりも上位又は下位の第2の出力ポートDOUT\_Xに配されたメモリとしてカラム冗長メモリ32\_0、32\_1を扱って、動作テストが行われる。

## 【0121】

これにより、出力ポートDOUT\_0、DOUT\_1からメモリアレイ14\_0、14\_1のメモリセルにアクセスしている最中に、同時に第2の出力ポートDOUT\_Xからカラム冗長メモリ32（32\_0、32\_1の何れか一方）にアクセスして、冗長置換を行わずとも、メモリアレイ14及びカラム冗長メモリ32をまとめて動作テストすることができる。そしてこの動作テストにより、メモリアレイ14のカラムアドレス空間の00h～FFhに対応する本セル領域内に不良セルを検出した場合は、動作テストにより正常なメモリセルと判断されたカラム冗長メモリ32内の冗長セルに置換すればよい。

## 【0122】

このように、第2の実施の形態では、冗長置換処理を行わずとも、カラム冗長メモリ32にアクセス可能であり、冗長置換前にカラム冗長メモリのテストが可能である。これにより、本セルに不良セルがあり冗長セルと置換が必要な場合に、カラム冗長メモリに不良セルが含まれていても、不良セルでない冗長セルを選択してカラム置換することが可能であり、救済に失敗することなく、歩留の向上を図ることができる。また、冗長セルと本セルとを一度にテストでき、冗長置換後の再テストの簡略化を図ることができ、テストに要する全体の時間の短縮化することができる。

## 【0123】

## 【発明の効果】

上記に示したように、本発明は、歩留まりを向上し、且つ冗長救済のためのテスト時間を短縮することができるという優れた効果を有する。

## 【図面の簡単な説明】

【図1】 第1の実施の形態に係わる半導体記憶装置の概略構成を示すプロック図である。

【図2】 第1の実施の形態に係わる半導体記憶装置のロウ置換に係わる部分の詳細構成を示す回路図である。

【図3】 従来の半導体記憶装置におけるロウ冗長メモリを使用していない状態のロウアドレス空間（A）、ロウ冗長メモリを使用した状態のデバイスのロウアドレス空間（B）を示す概念図である。

【図4】 第1の実施の形態に係わる半導体記憶装置におけるロウ冗長メモリを使用していない状態のロウアドレス空間（A）、テストモード時のデバイスのロウアドレス空間（B）を示す概念図である。

【図5】 従来の半導体記憶装置におけるカラム冗長メモリを使用していない状態のカラムアドレス空間（A）、カラム冗長メモリを使用した状態のデバイスのカラムアドレス空間（B）を示す概念図である。

【図6】 第1の実施の形態に係わる半導体記憶装置におけるカラム冗長メモリを使用していない状態のカラムアドレス空間（A）、テストモード時のデバイスのカラムアドレス空間（B）を示す概念図である。

【図7】 第2の実施の形態に係わる半導体記憶装置の概略構成を示すプロック図である。

【図8】 第2の実施の形態に係わる半導体記憶装置のカラム置換に係わる部分の詳細構成を示す回路図である。

【図9】 従来の半導体記憶装置におけるカラム冗長メモリを使用していない状態のメモリセルと出力ポートの対応（A）、カラム冗長メモリを使用した状態のメモリセルと出力ポートの対応（B）を示す概念図である。

【図10】 第2の実施の形態に係わる半導体記憶装置におけるカラム冗長メモリを使用していない状態のメモリセルと出力ポートの対応（A）、テストモード時のメモリセルと出力ポートの対応（B）を示す概念図である。

【図11】 冗長救済機能を備えた半導体記憶装置の一般的な構成図である。

【図12】 カラム冗長救済機能を備えた半導体記憶装置の一般的な構成図

である。

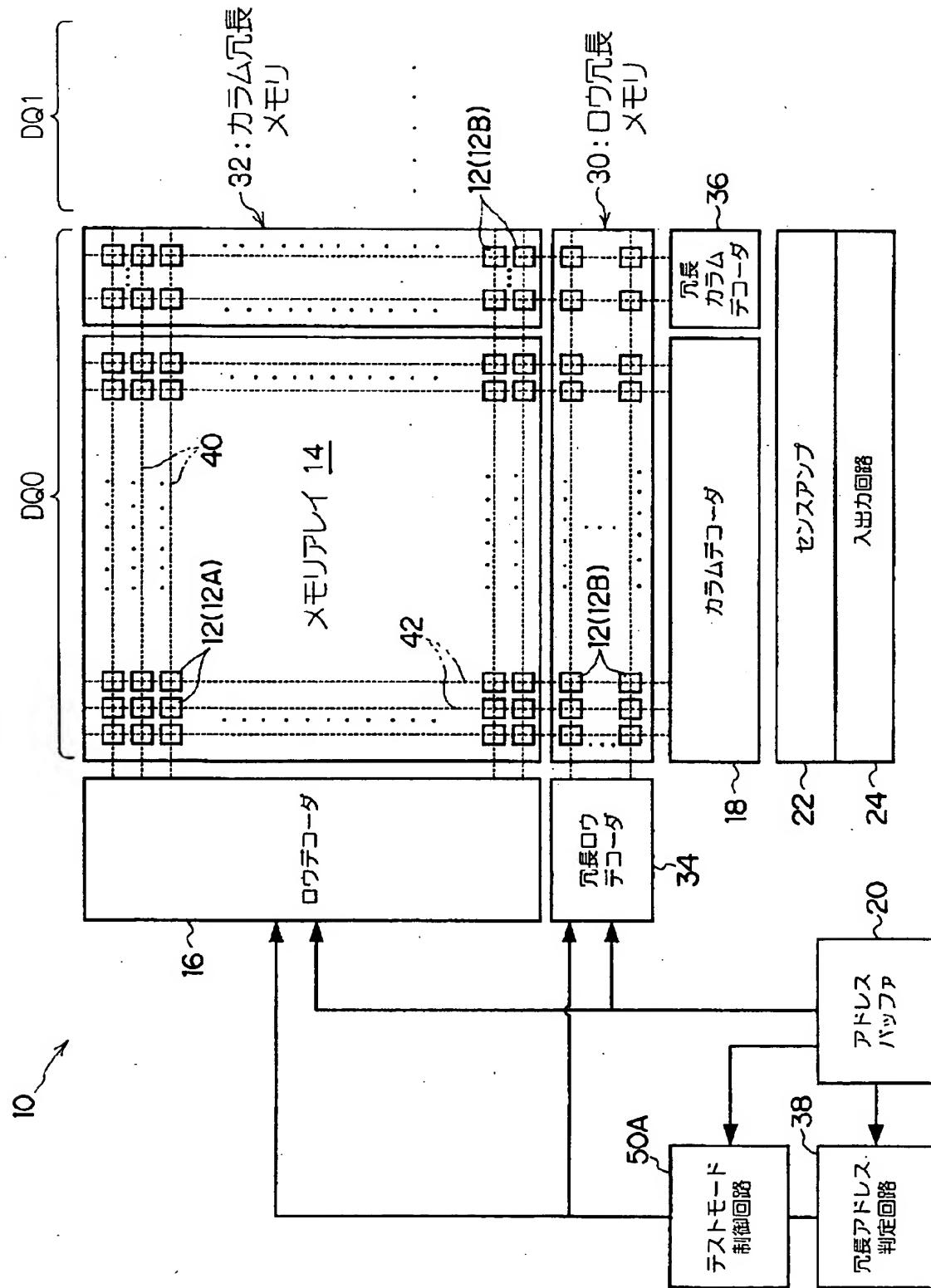
## 【符号の説明】

- 10 半導体記憶装置
- 12 メモリセル
- 12A 本セル
- 12B 冗長セル
- 14、14\_0、14\_1 メモリアレイ
- 16 ロウデコーダ
- 18 カラムデコーダ
- 20 アドレスバッファ
- 24 入出力回路
- 30 ロウ冗長メモリ
- 32 カラム冗長メモリ
- 34 冗長ロウデコーダ
- 36 冗長カラムデコーダ
- 38 冗長アドレス判定回路
- 40 ワード線
- 42 ビット線
- 50A、50B テストモード制御回路

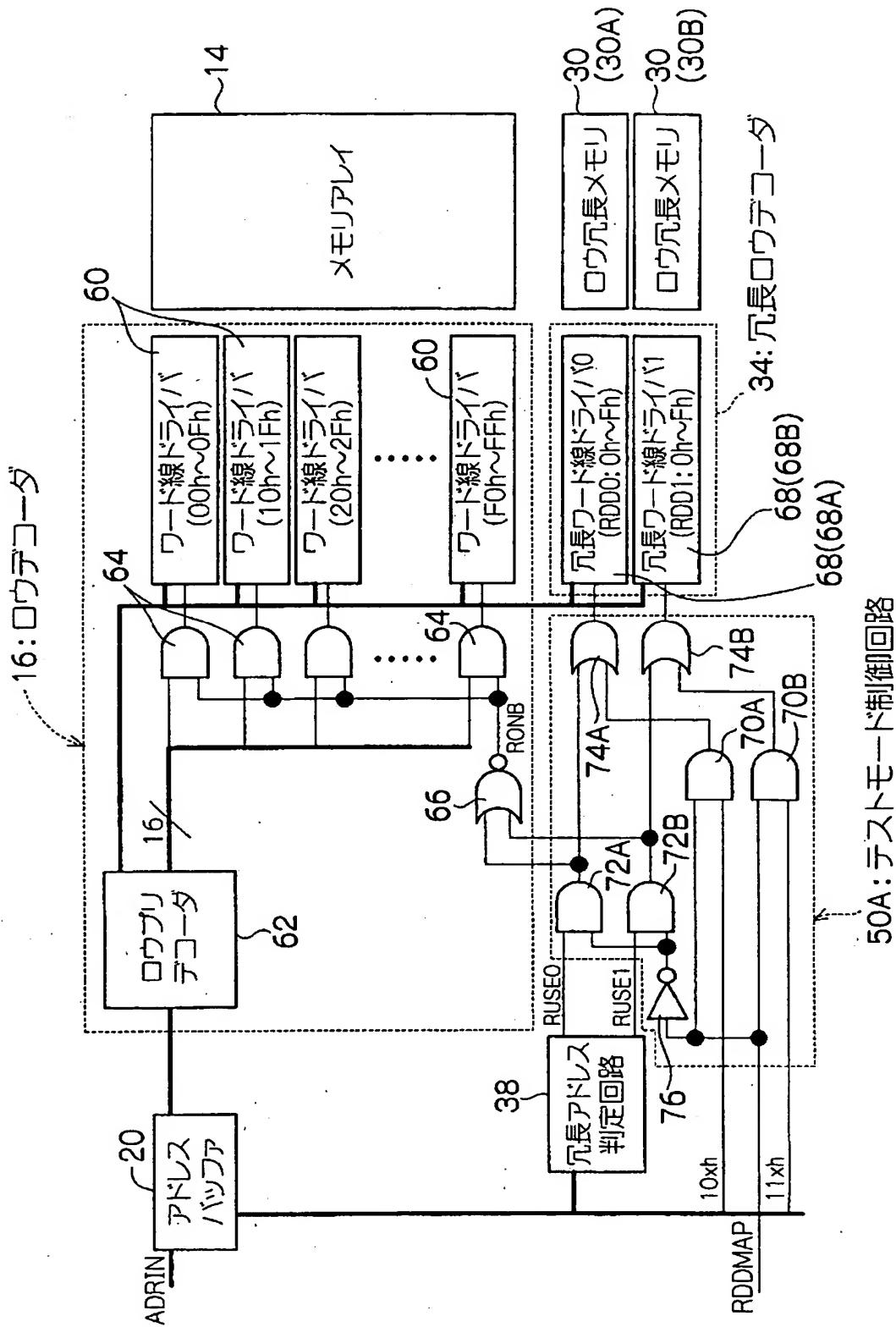
【書類名】

図面

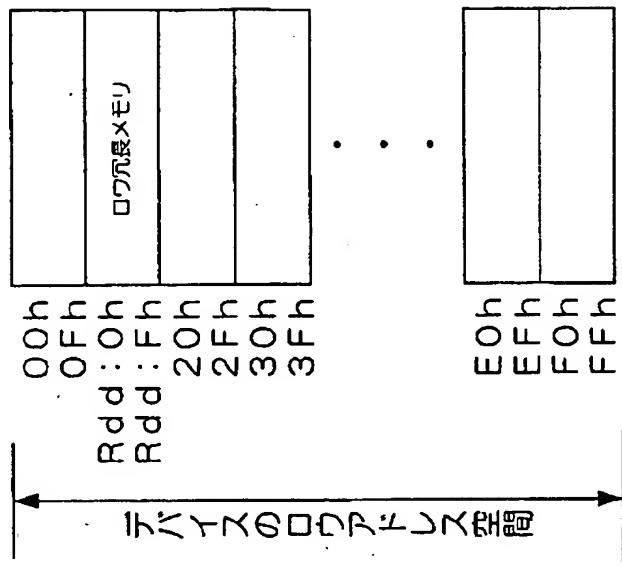
【図1】



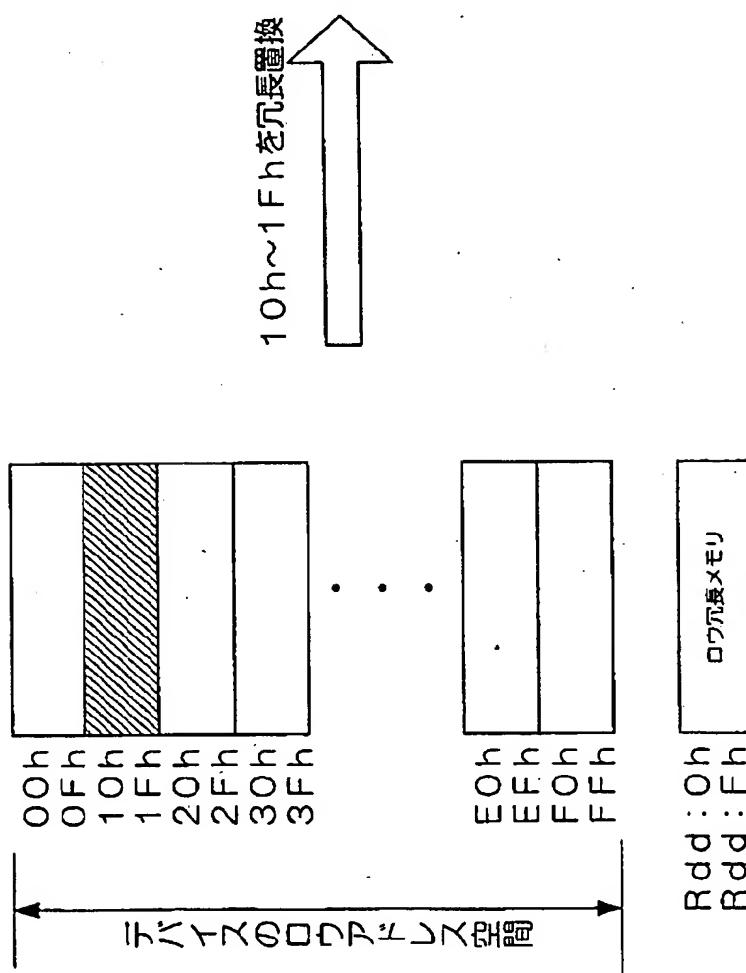
【図2】



【図3】

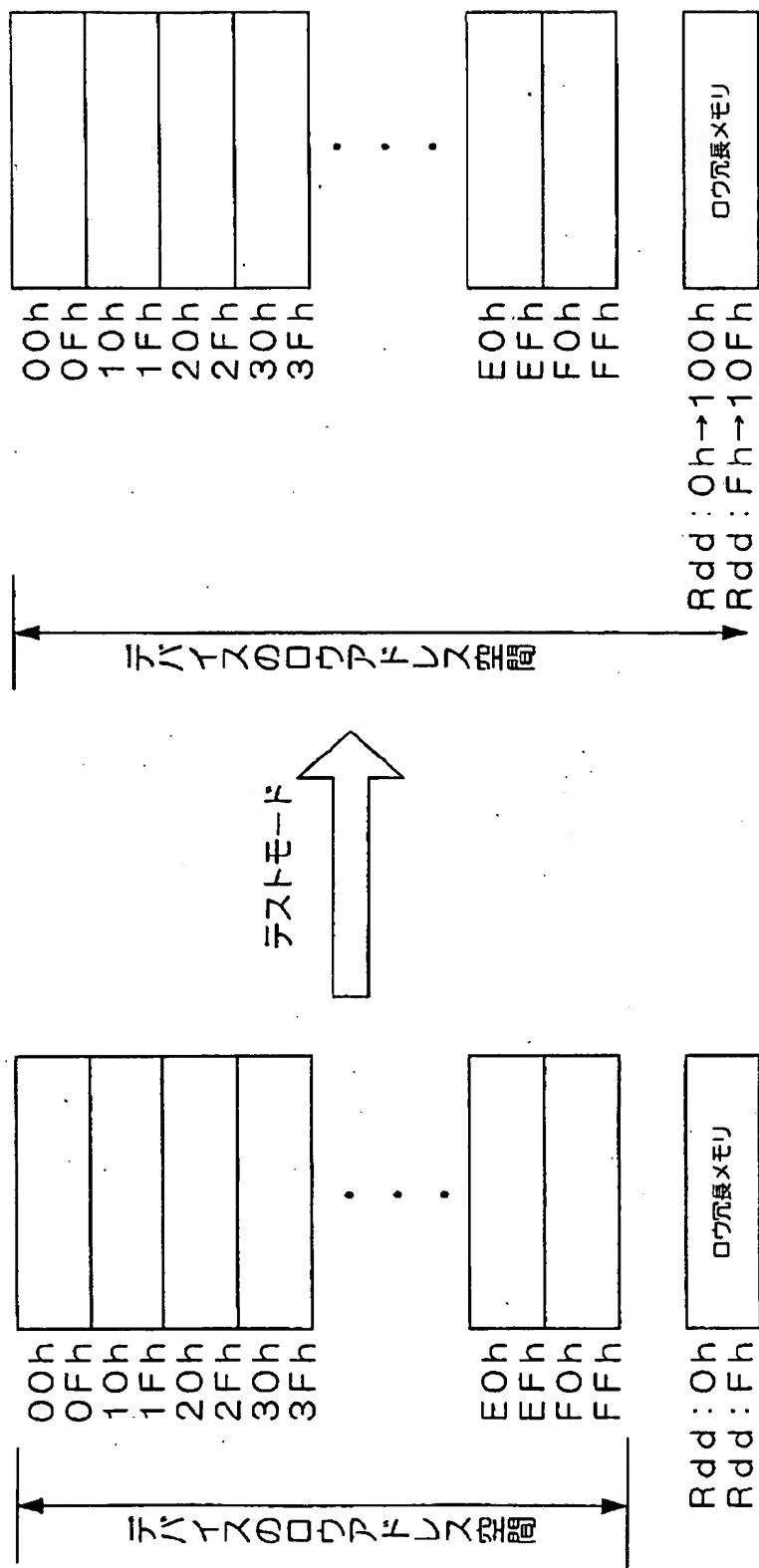


(B) 冗長メモリを使用した状態

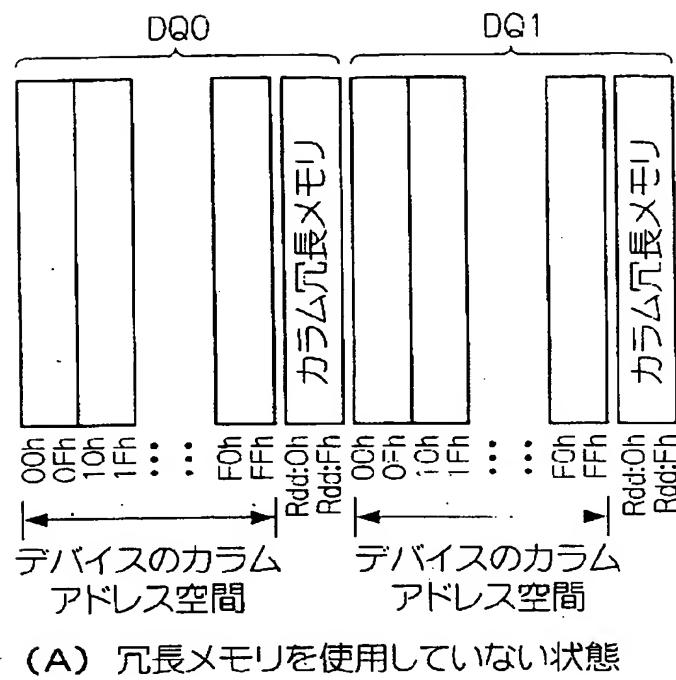


(A) 冗長メモリを使用していない状態

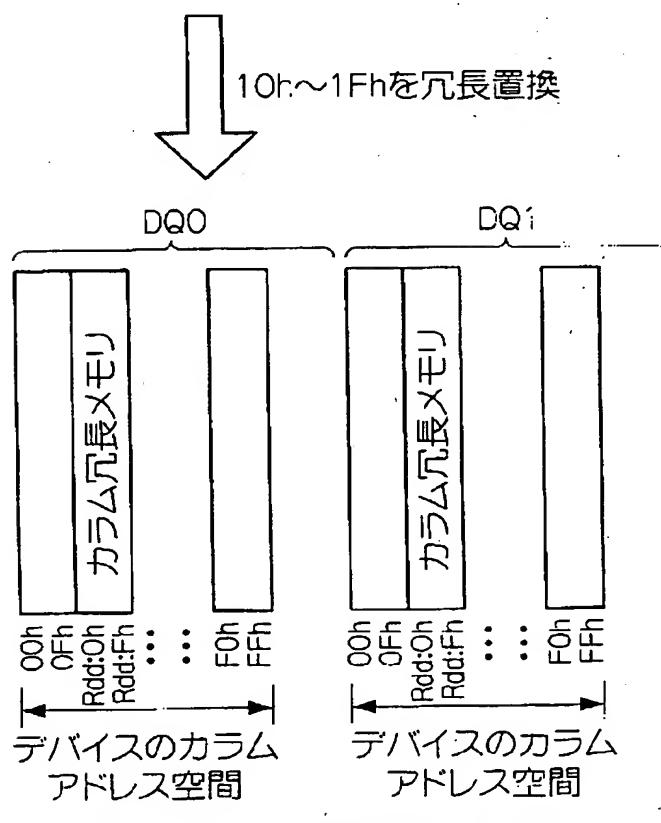
【図4】



【図5】

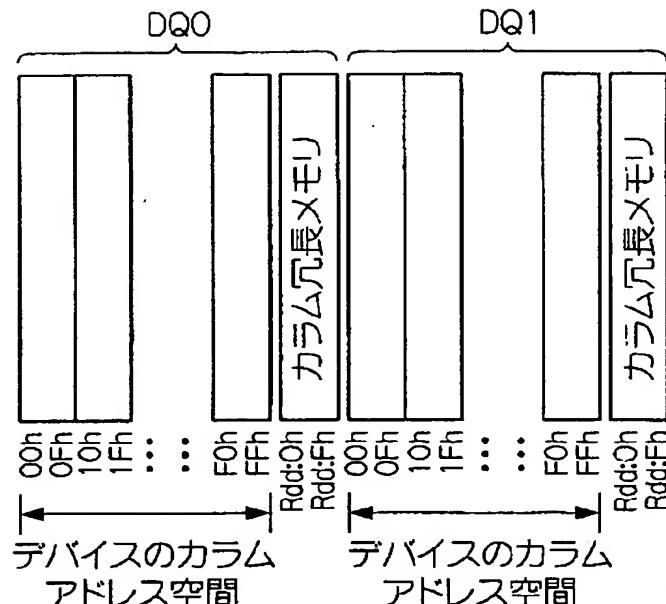


(A) 冗長メモリを使用していない状態

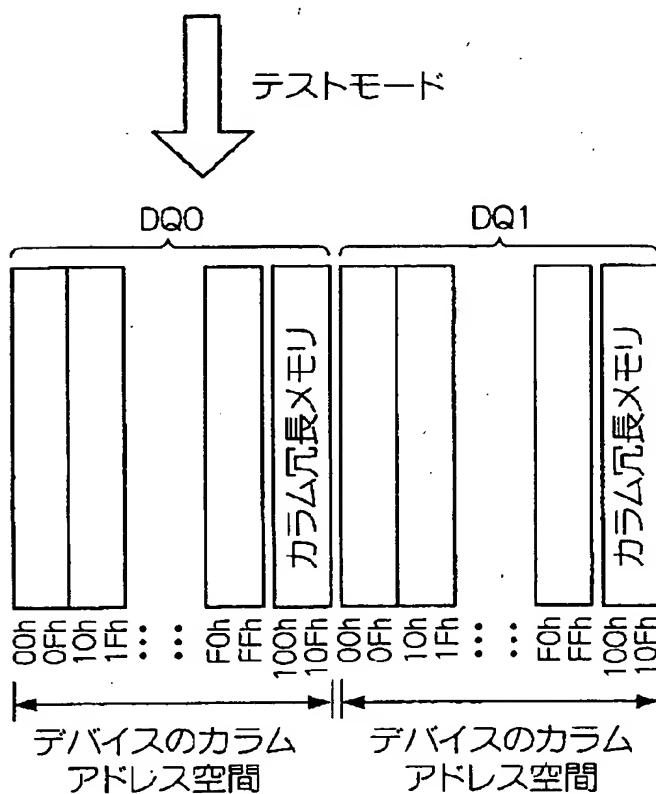


(B) 冗長メモリを使用した状態

【図6】

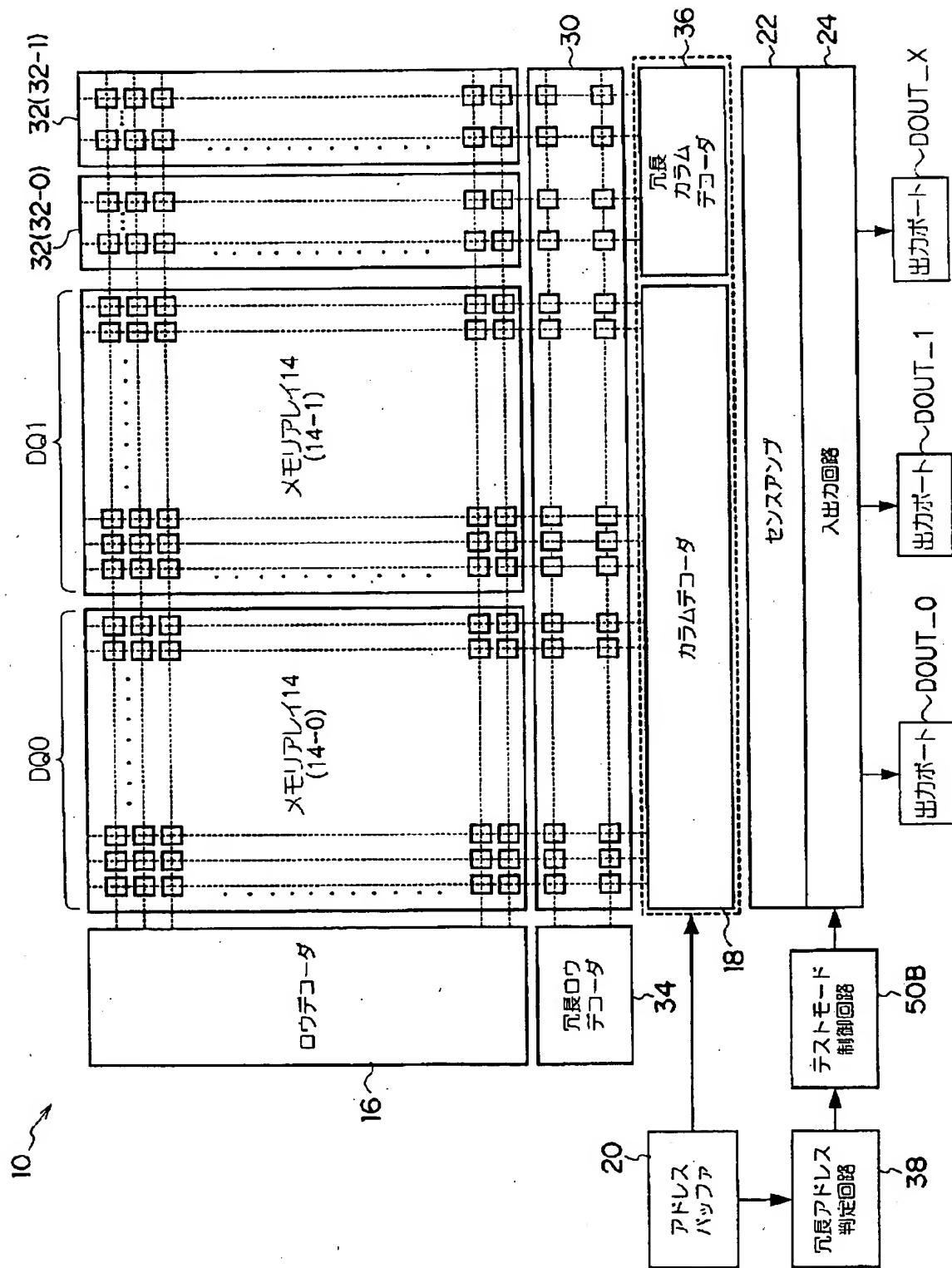


(A) 冗長メモリを使用していない状態

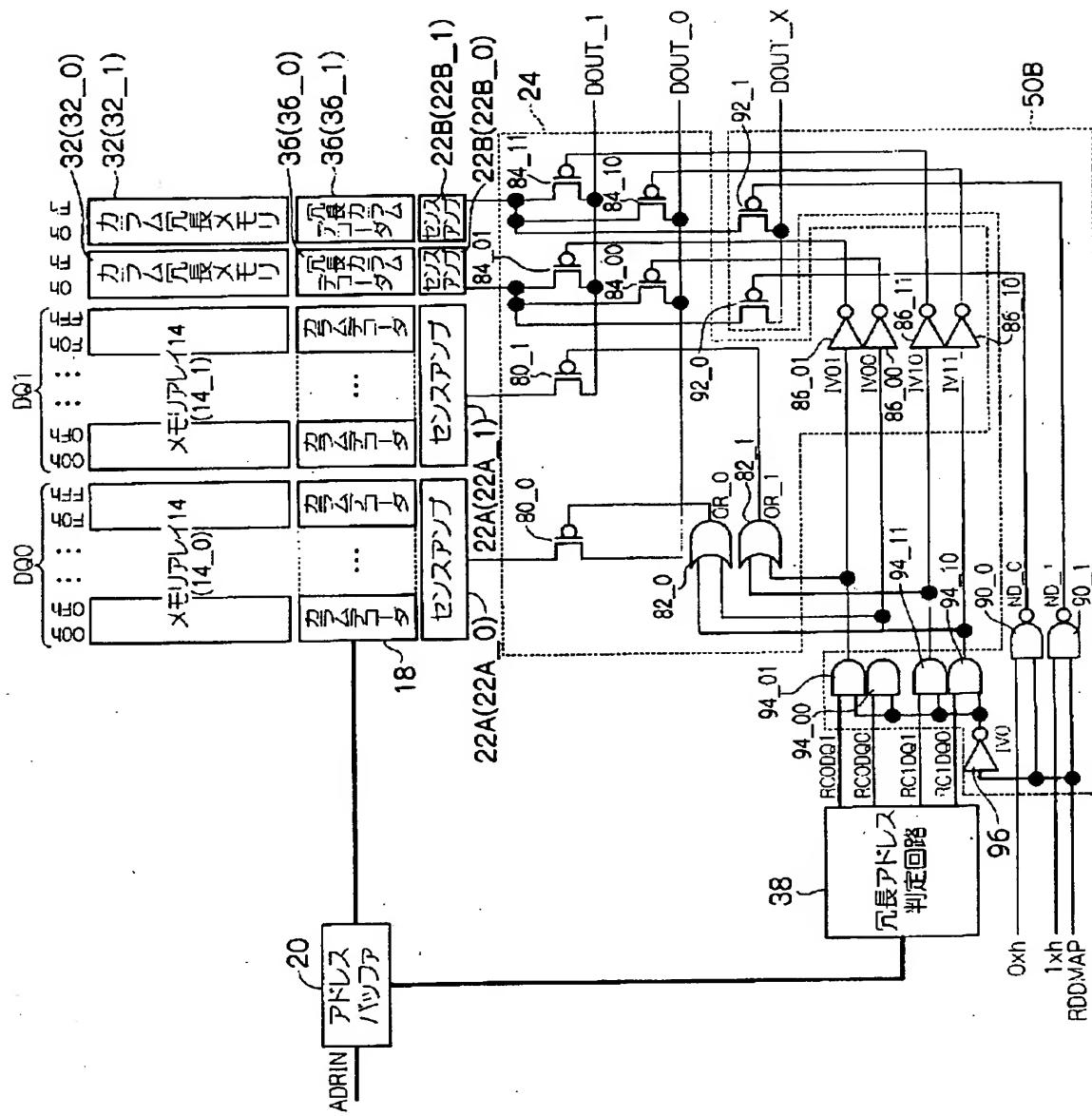


(B) テストモード時

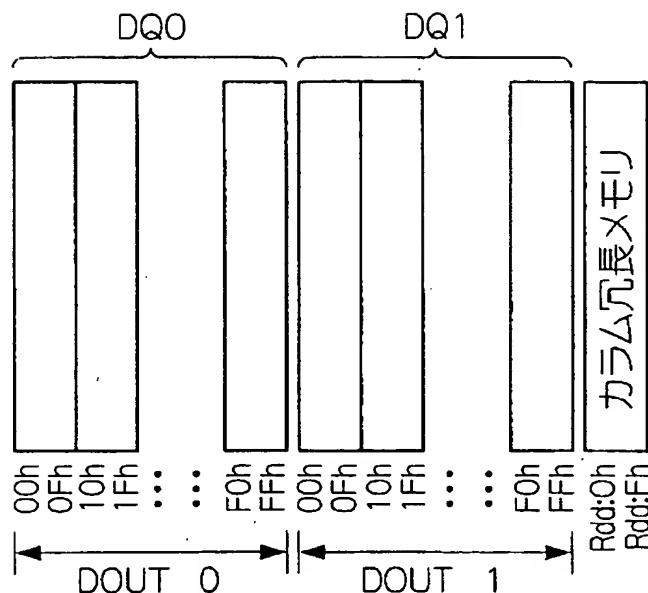
【図7】



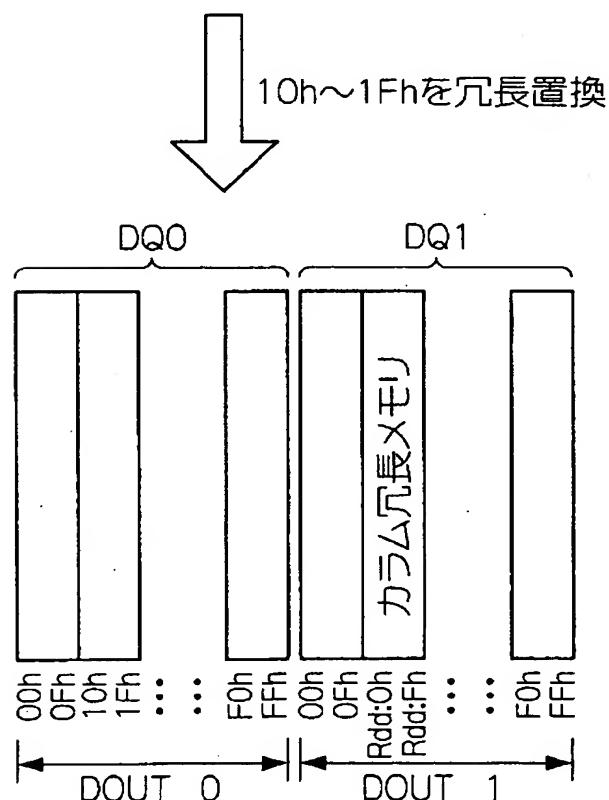
【図8】



【図9】

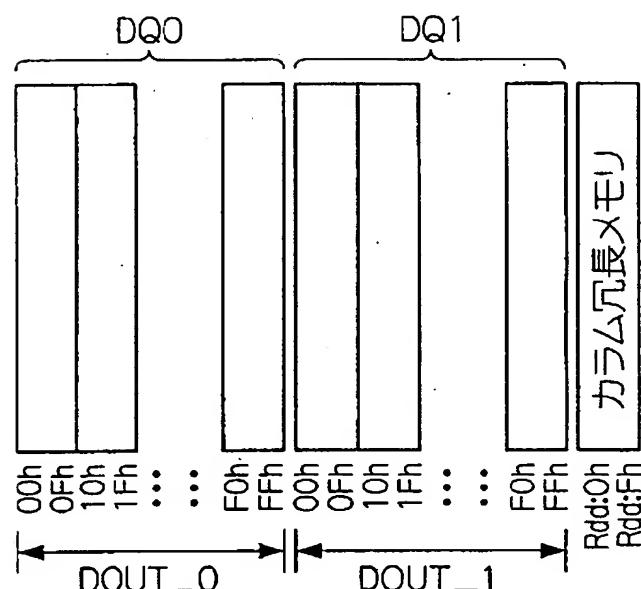


(A) 冗長メモリを使用していない状態

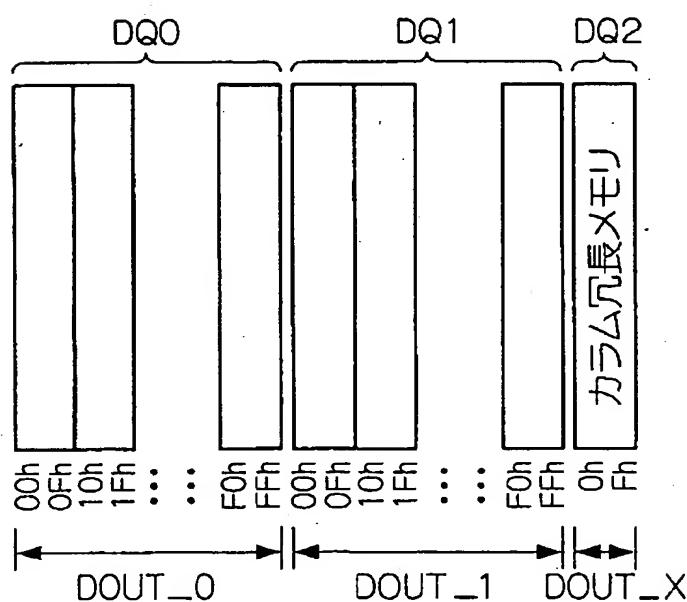


(B) 冗長メモリを使用した状態

【図10】

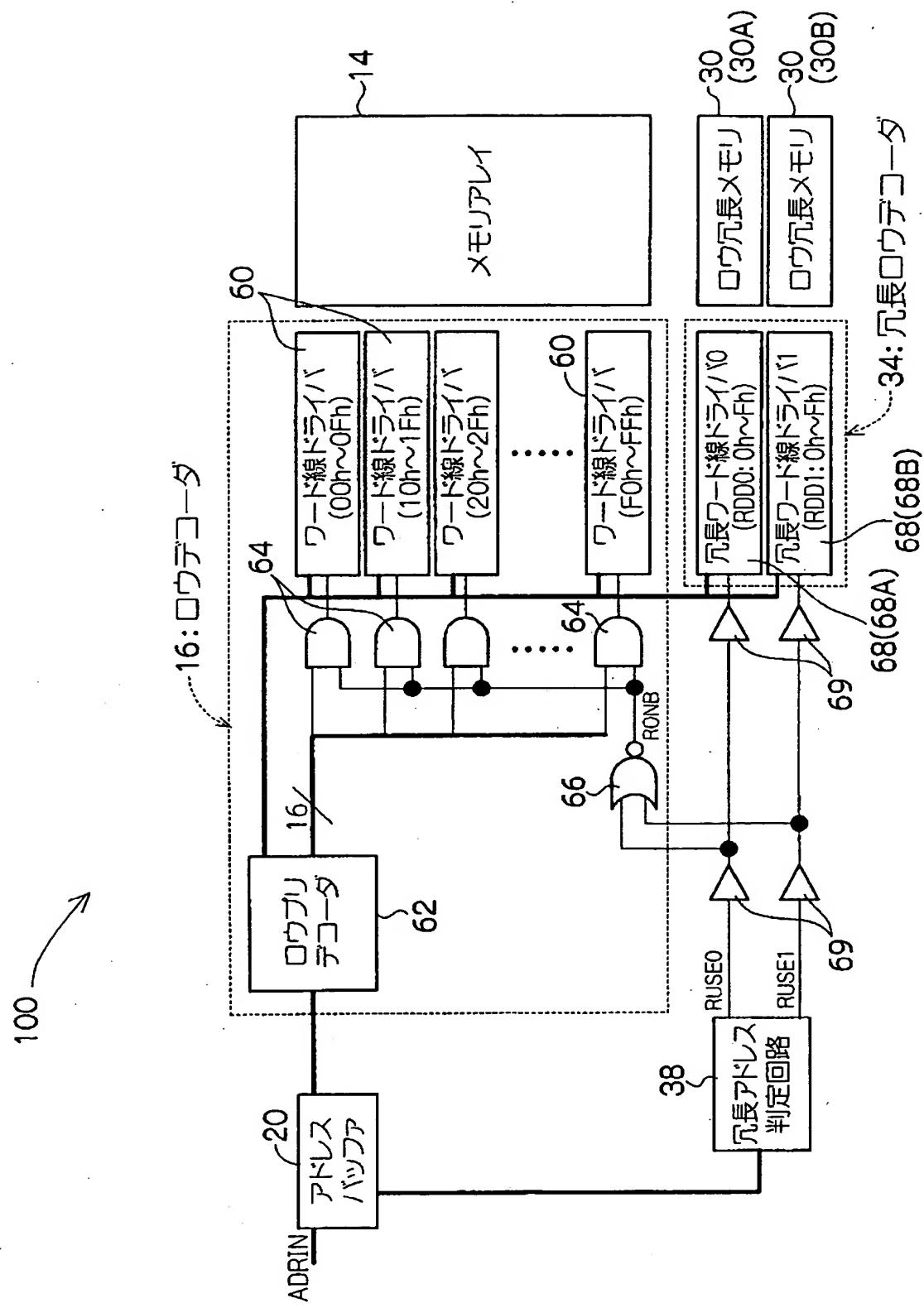


(A) 冗長メモリを使用していない状態

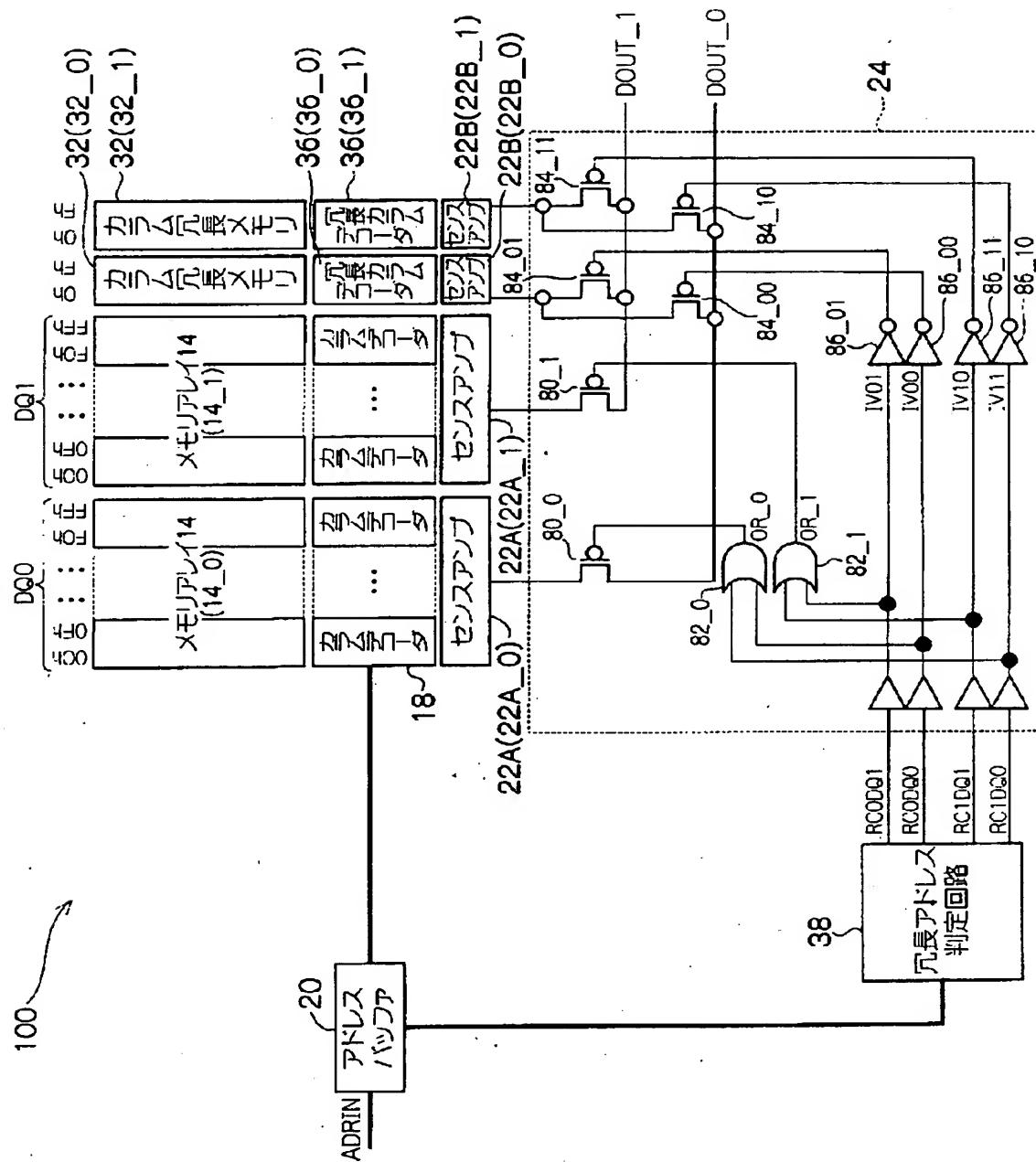


(B) テストモード時

【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 冗長救済機能を備えた半導体装置の歩留まりを向上し、且つ冗長救済のためのテスト時間を短縮する。

【解決手段】 半導体記憶装置10にテストモード制御回路50Aを設け、テストモード時は、外部からHの信号RDDMAPを入力する。これによりAND回路72A、72Bには、NOT回路76により該信号RDDMAPが反転されてLの信号が入力されるので、冗長判定回路38の動作が無効にされ、外部から本来のデバイスのアドレス空間を示すアドレス信号が入力された場合は、該アドレスが冗長置換対象であっても対応するワード線ドライバ60が活性化される。外部から本来のデバイスのアドレス空間よりも上位又は下位のアドレスを示すアドレス信号が入力された場合には、アドレスバッファ20により、当該アドレス信号に応じて信号10xh又は信号11xhがHにされ、冗長ワード線ドライバ68A又は68Bが活性化される。

【選択図】 図2

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社